

국가전략기술 반도체 설계 참가안내문

교육목표

- CMOS 회로 설계 도구를 이용하여 CMOS 집적회로를 설계하는 능력을 배양한다.
- CMOS 소자의 제조 기술, CMOS 논리 게이트의 설계와 레이아웃, 아날로그 블록 설계 및 최신 Full Custom 설계 동향 등의 내용을 학습한다.
- 설계 CAD 도구(Schematic, Layout, Simulation, DRC/LVS/LPE)를 이용하여 ADC의 설계 능력을 배양한다.

과정개요

- [대상] 금오공대 재학생
- [기간] 2023.7.17(월) ~ 7.21(금), 10:00~18:00
- [장소] 금오공대 실습실
- [비용] 무료
- [주관] 국가과학기술인력개발원

교육수료

- 교육시간의 참석률 80%이상, 설문조사 완료 시 수료, 80%미만 시 자동 미수료 처리됩니다.
- 교육시간의 참석률 80%이상이라도 무단 결석/결강/외출/외박/조퇴 시 미수료(퇴소) 니다.
- 교육기간 중 불참 사유 발생시 반드시 교육과정 운영자와 사전 협의 바랍니다.
- 수료증은 교육종료 후 KIRD 홈페이지(www.kird.re.kr) 로그인-마이페이지에서 출력 가능합니다.

시간표

일차	시간	내용
7/17 (월)	10:00~18:00	<ul style="list-style-type: none"> • ADC의 이해 <ul style="list-style-type: none"> - ADC의 이해 - SAR ADC의 구성 및 동작 • Cadence Schematic, Spectre 실습 1 <ul style="list-style-type: none"> - Bootstrapped Switch 포함 Track/Hold Circuit - Capacitor DAC
7/18 (화)	10:00~18:00	<ul style="list-style-type: none"> • Cadence Schematic, Spectre 실습 2 <ul style="list-style-type: none"> - Comparator - Flip-flop 포함 SAR Logic
7/19 (수)	10:00~18:00	<ul style="list-style-type: none"> • Cadence Schematic, Spectre 실습 3 <ul style="list-style-type: none"> - 4bit SAR ADC의 전체 구성 및 시뮬레이션 검증 • Virtuoso Layout Editor 실습 1 <ul style="list-style-type: none"> - Bootstrapped Switch 포함 Track/Hold Circuit - Capacitor DAC
7/20 (목)	10:00~18:00	<ul style="list-style-type: none"> • Virtuoso Layout Editor 실습 2 <ul style="list-style-type: none"> - Comparator - Flip-flop 포함 SAR Logic
7/21 (금)	10:00~18:00	<ul style="list-style-type: none"> • Virtuoso Layout Editor 실습 3 <ul style="list-style-type: none"> - 4bit SAR ADC 전체 P&R, LVS, DRC • Post-simulation 및 검증 <ul style="list-style-type: none"> - 각 블록, 전체 블록에 대한 extraction 및 post-simulation 검증

※ 상기 내용은 사정에 따라 변경될 수 있습니다.