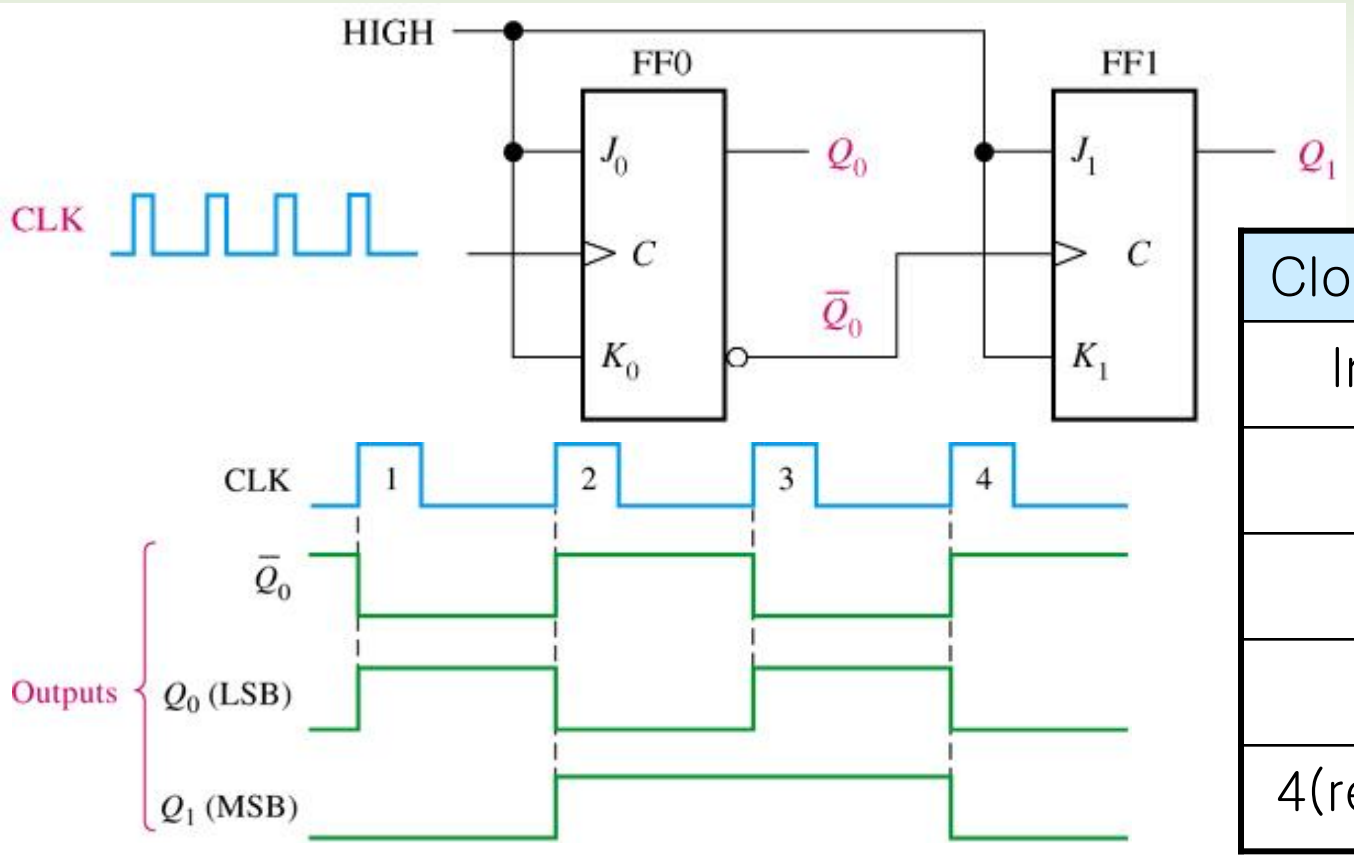
9장. 카운터(Counters)

- 비동기식 카운터의 동작 (1)
- 동기식 카운터의 동작(2)
- 업/다운 동기식 카운터(3)
- 동기식 카운터의 설계(4)
- 캐스케이드 카운터(5)
- 카운터의 디코딩(6)
- 카운터의 응용(7)

비동기식 카운터의 동작

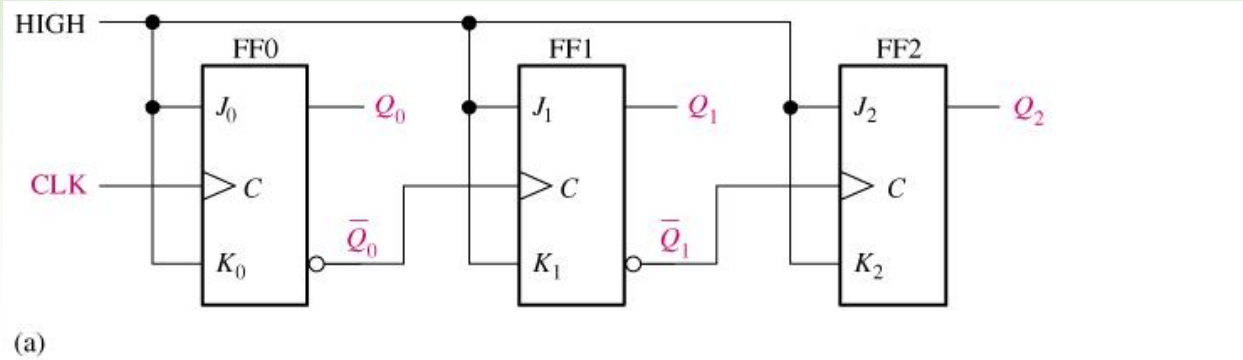
- 2-비트 비동기식 2진 카운터



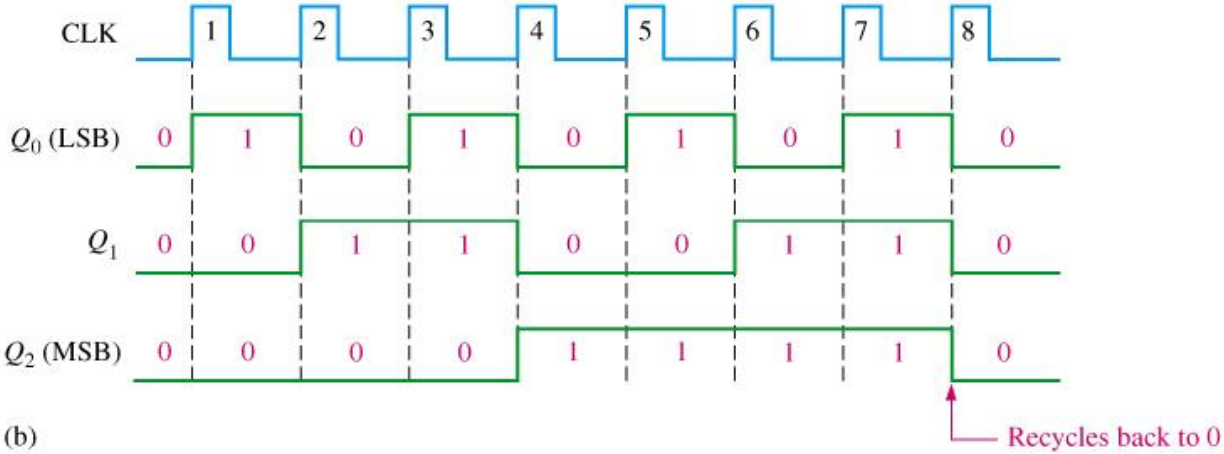
Clock pulse	Q_1	Q_0
Initially	0	0
1	0	1
2	1	0
3	1	1
4(recycles)	0	0

비동기식 카운터의 동작

- 3-비트 비동기식 2진 카운터



(a)



(b)

비동기식 카운터의 동작

- 전파지연(Propagation delay)

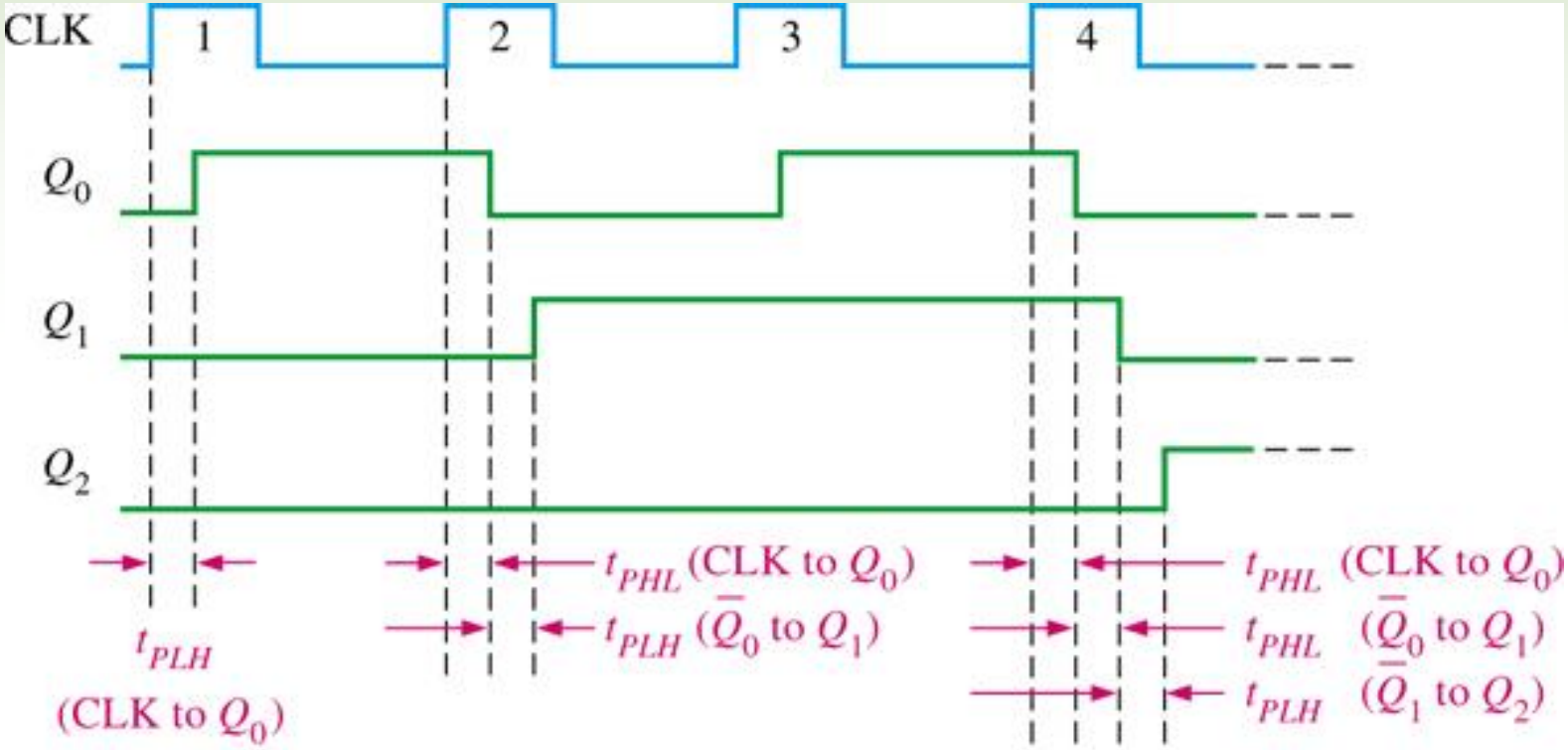
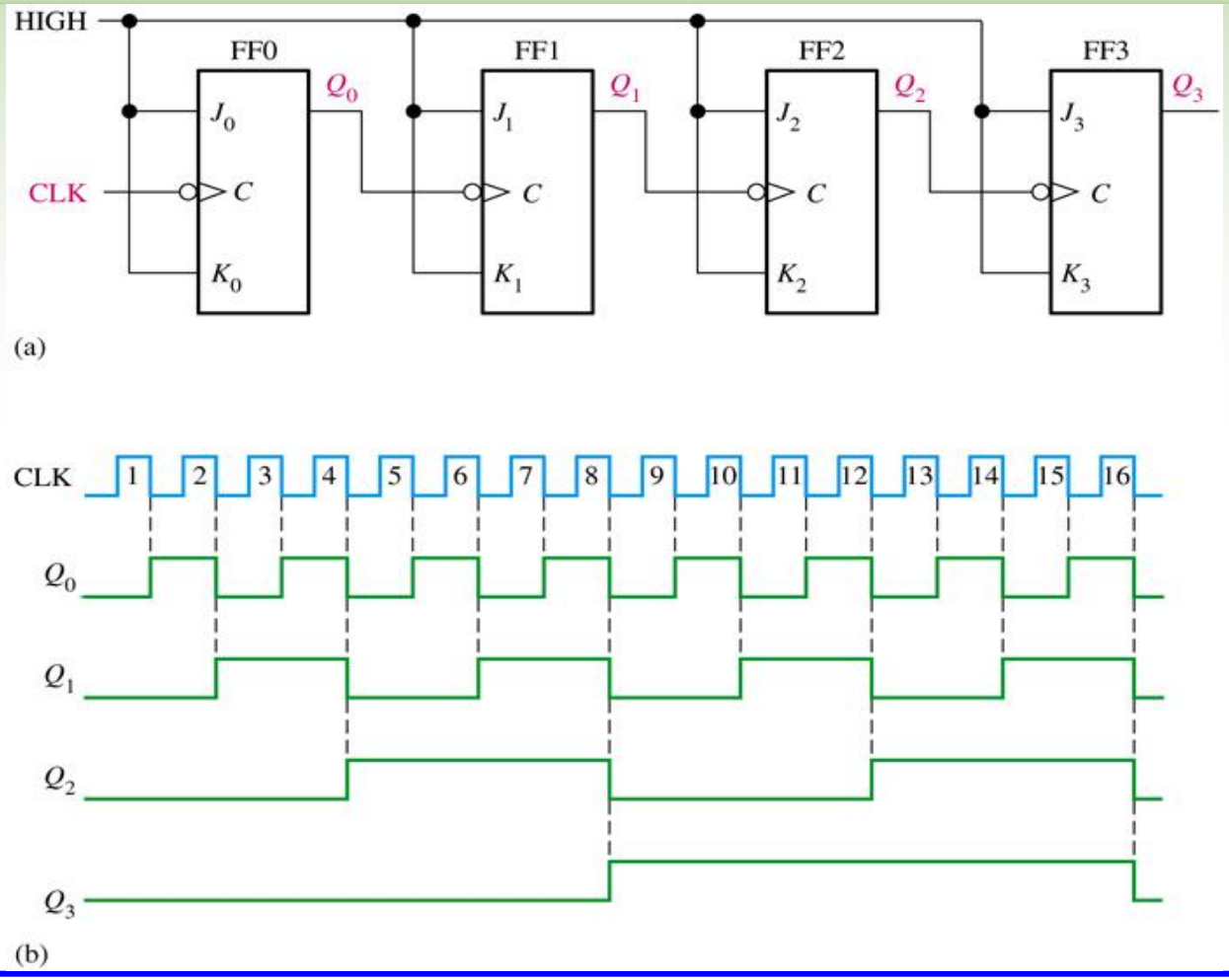


Figure 9-4 Propagation delays in a 3-bit asynchronous (ripple-clocked) binary counter.

비동기식 카운터의 동작

* 예제 9-1) 4-비트 비동기식 2진 카운터. 하강-에지에서 트리거.
  10nsec의 전파지연 시간을 가질 때.
  => 타이밍 다이어그램,
  Q3 상태의 변화가 생길 때까지의 전체 전파 지연시간,
  카운터가 동작할 수 있는 최고 주파수를 구하라.

비동기식 카운터의 동작


HIGH
FF0
FF1
FF2
FF3
Q_0
Q_1
Q_2
Q_3
J_0
J_1
J_2
J_3
CLK
C
K_0
K_1
K_2
K_3
(a)
CLK
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
Q_0
Q_1
Q_2
Q_3
(b)

비동기식 카운터의 동작

- 비동기식 10진 카운터

  * 모듈러스(modulus) : 카운터가 순서적으로 거치는 유일한 상태의 개수

  * 10진 카운터 : 카운트 시퀀스에서 10개의 상태를 갖는 카운터

  * BCD10진 카운터 : 10진수 0에서부터 9까지를 카운트하는 10진 카운터
    0000(0)->0001(1)-> .... 1001(9)-> 0000(0)

비동기식 카운터의 동작

* 부분적 디코딩

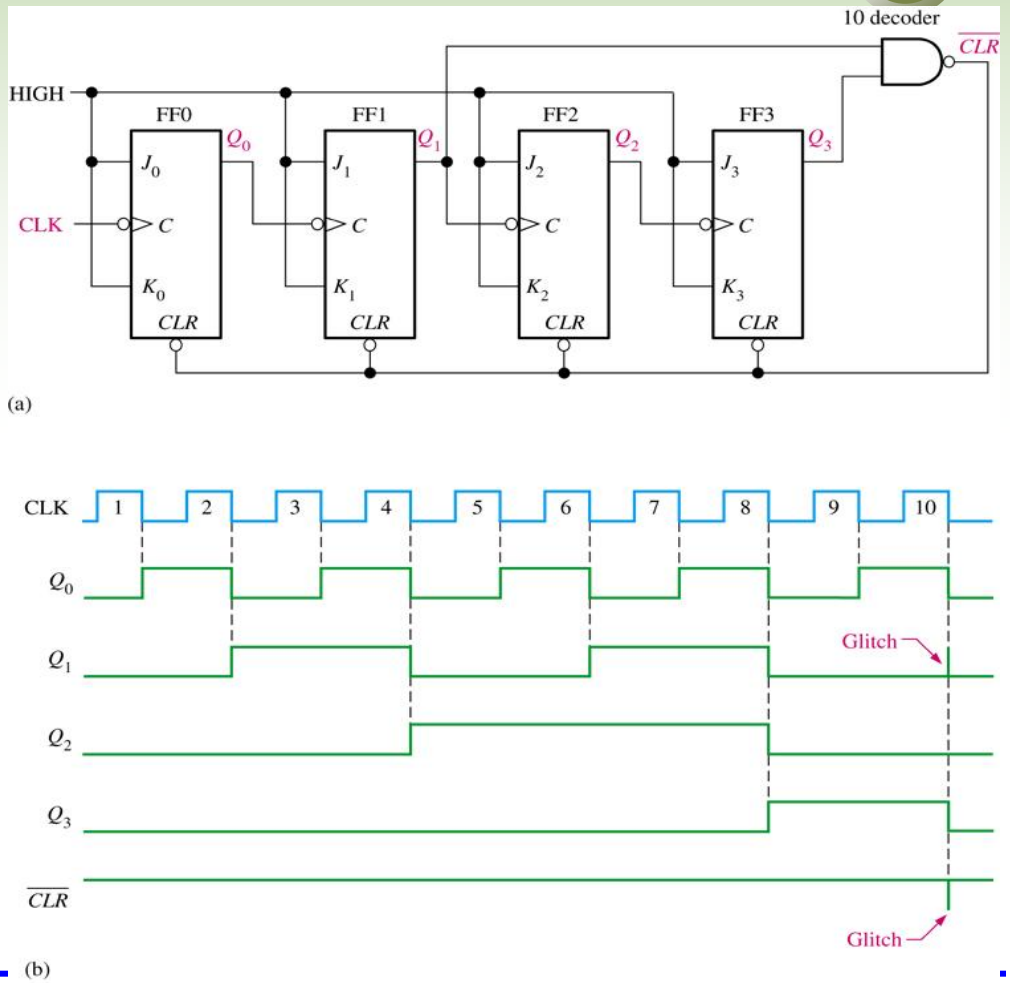
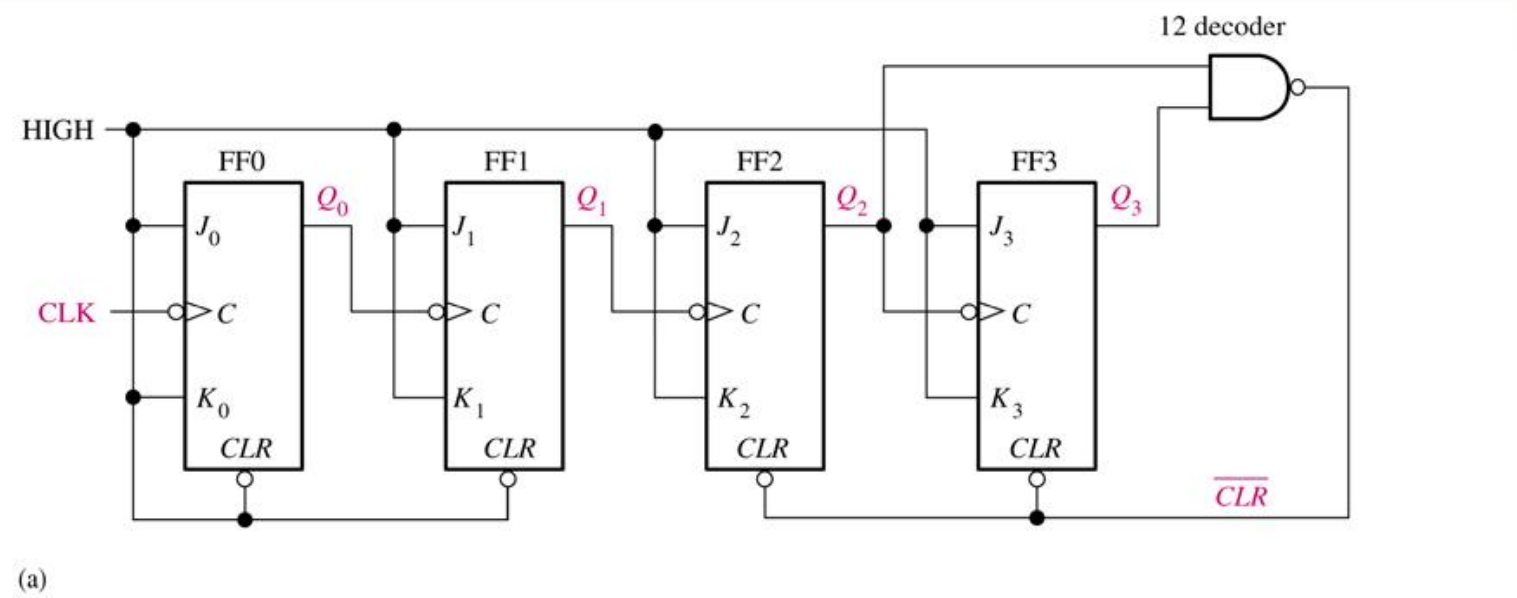


Figure 9-6 An asynchronously clocked decade counter with asynchronous recycling.

비동기식 카운터의 동작

* 예제9-2) 2진 시퀀스 0000에서 1011까지를 카운트하는 모듈러스 12 특성을 갖는 비동기식 카운터를 설계하라.



(a)

비동기식 카운터의 동작 (1)

비동기식 카운터의 동작

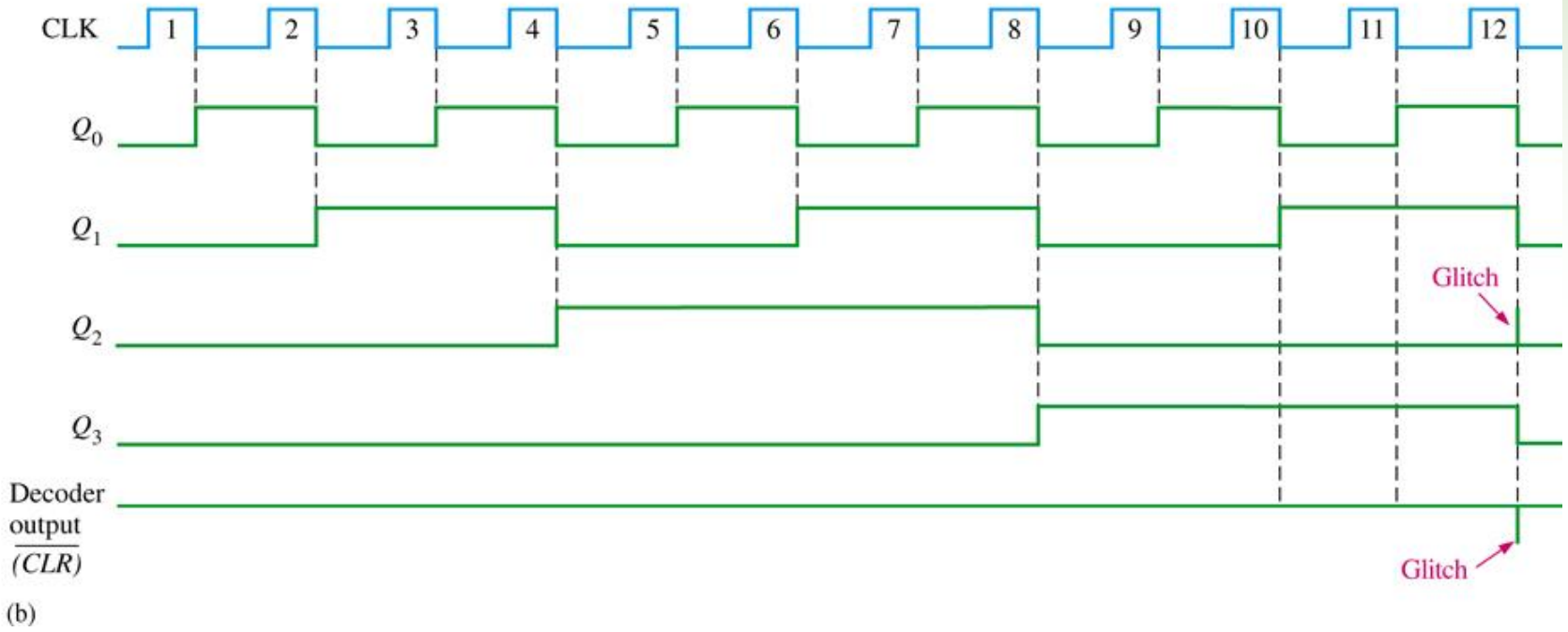


Figure 9-7 Asynchronously clocked modulus-12 counter with asynchronous recycling.

동기식 카운터의 동작

- 2-비트 동기식 2진 카운터

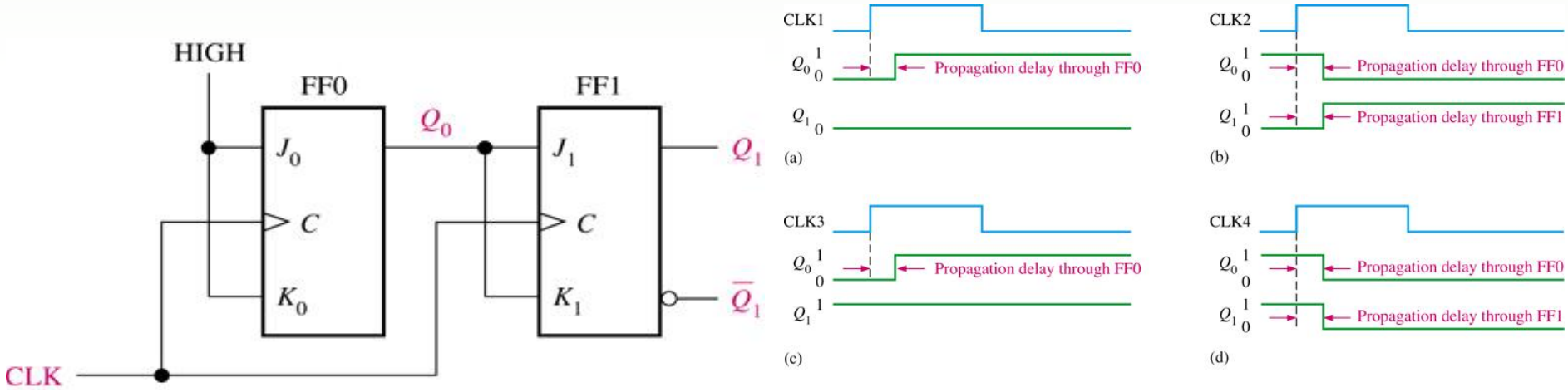
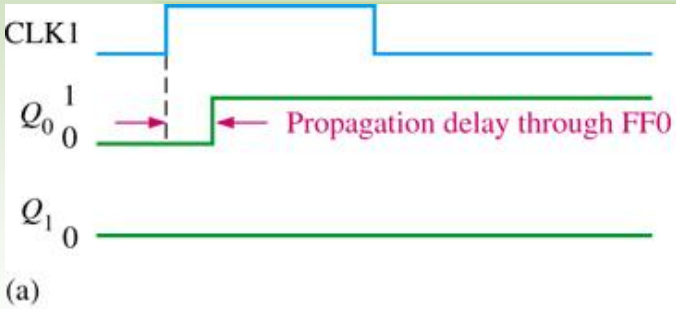
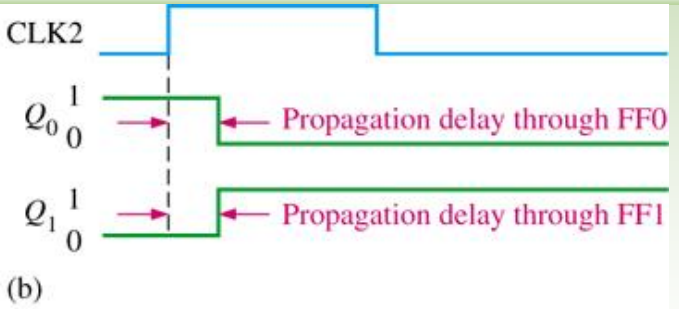
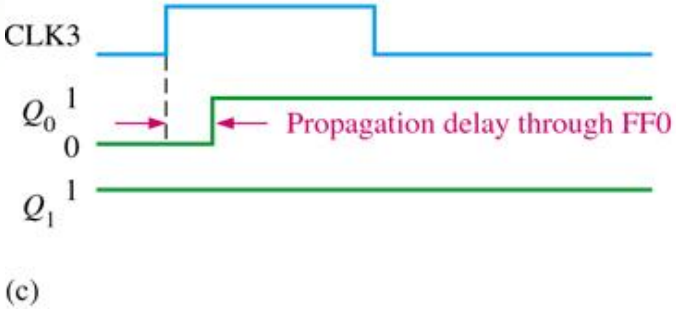


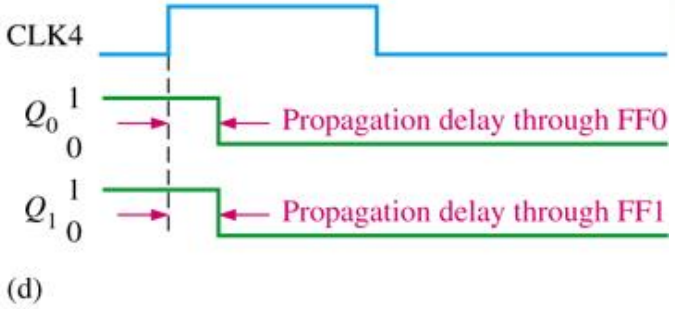
Figure 9-8 A 2-bit synchronous binary counter.

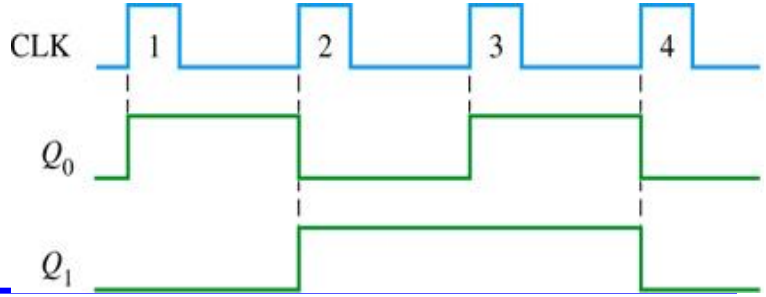
동기식 카운터의 동작







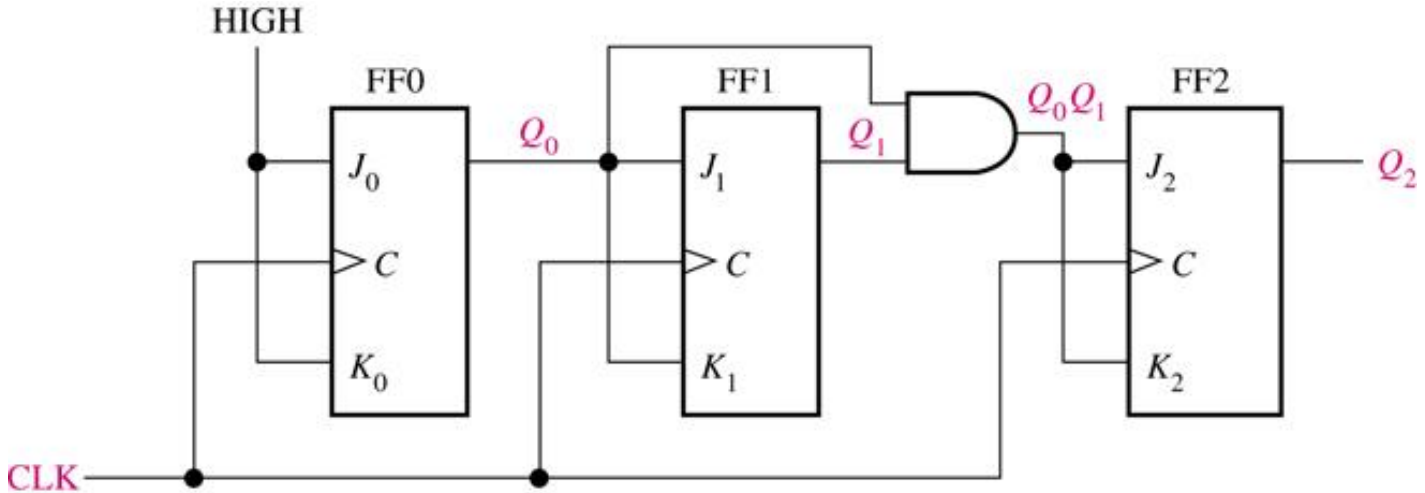




동기식 카운터의 동작 (2)

동기식 카운터의 동작

- 3-비트 동기식 2진 카운터

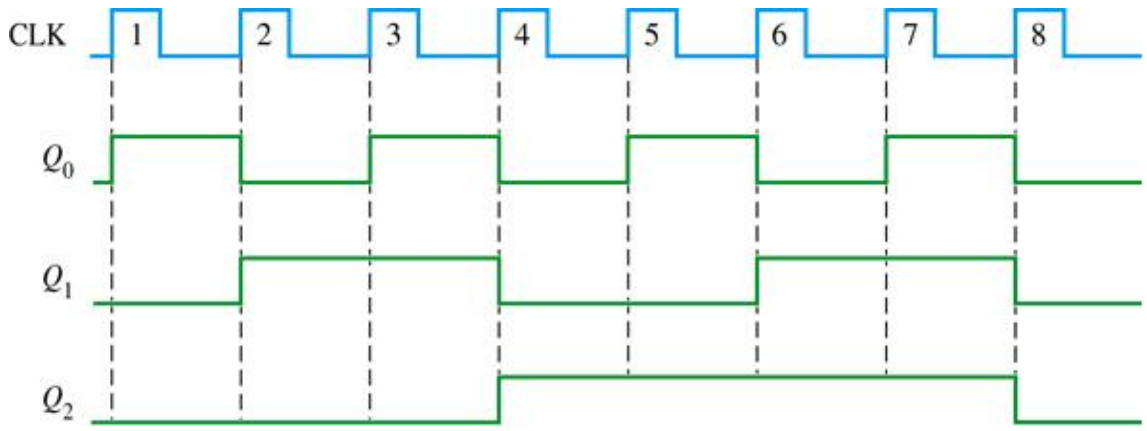


동기식 카운터의 동작

* FF0 :

* FF1:

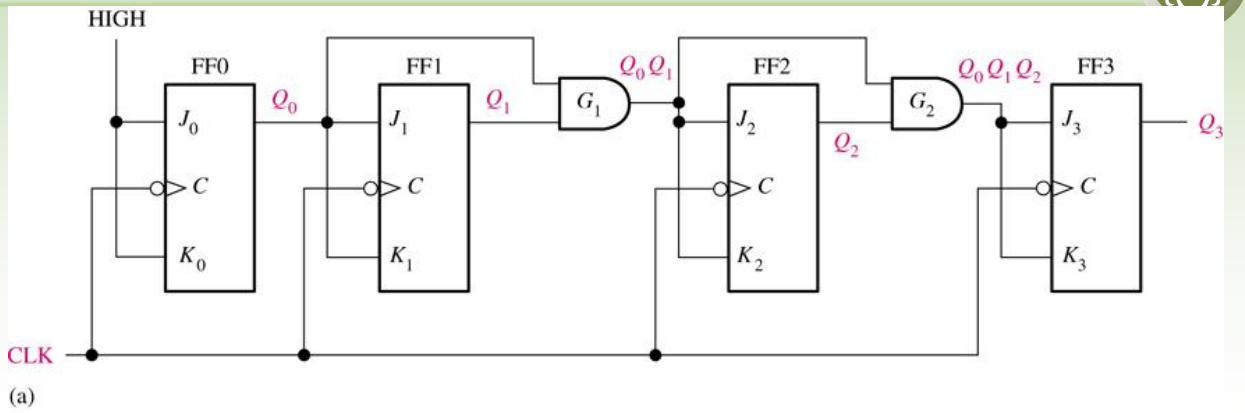
* FF2 :



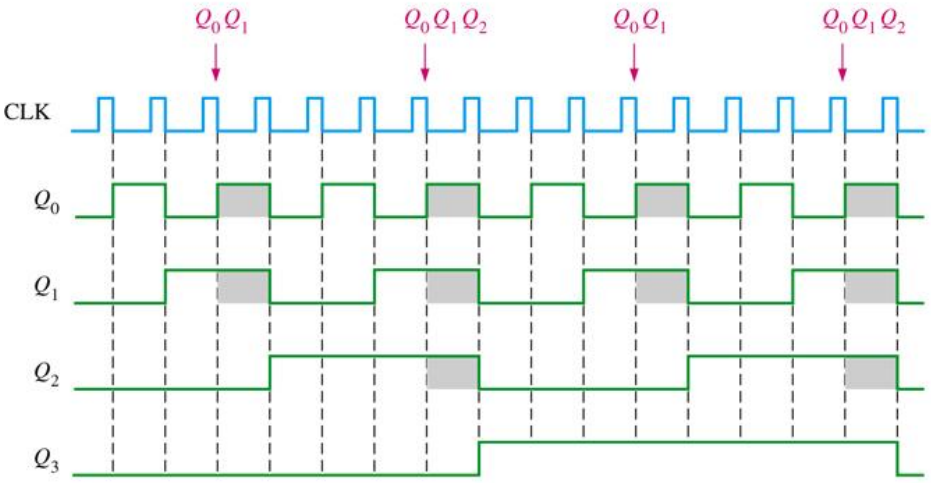
Clock pulse	Q_2	Q_1	Q_0
Initially	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8(recycles)	0	0	0

동기식 카운터의 동작

- 4-비트 동기식 2진 카운터



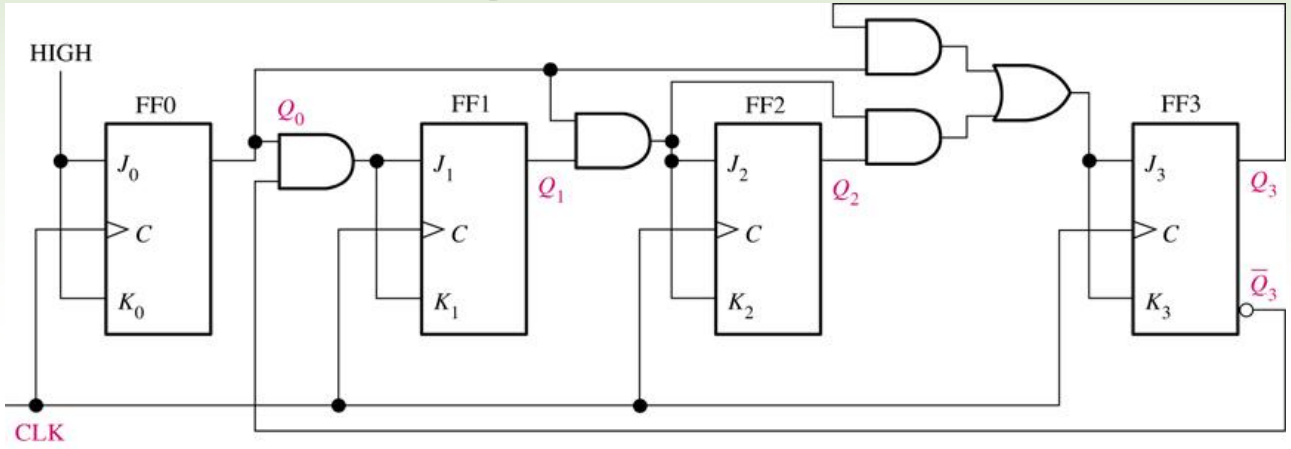
(a)



(b)

동기식 카운터의 동작

- 4-비트 동기식 10진 카운터



Pulse	Q_3	Q_2	Q_1	Q_0
Initially	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10(recycles)	0	0	0	0

* FF0 : Q_0 는 매 클럭 펄스마다 값이 변화 =>
* FF1: Q_0 =1, Q_3 =0일 때, 다음 클럭에서 Q_1 의 값이 변화 =>
* FF2: Q_0 =1, Q_1 =1일 때, 다음 클럭에서 Q_2 의 값이 변화 =>

동기식 카운터의 동작

* FF3 : Q_0 =1, Q_1 =1, Q_2 =1 이거나 Q_0 =1, Q_3 =1 일 때마다, 다음 클럭에서 Q_3 의 값이 변화 =>

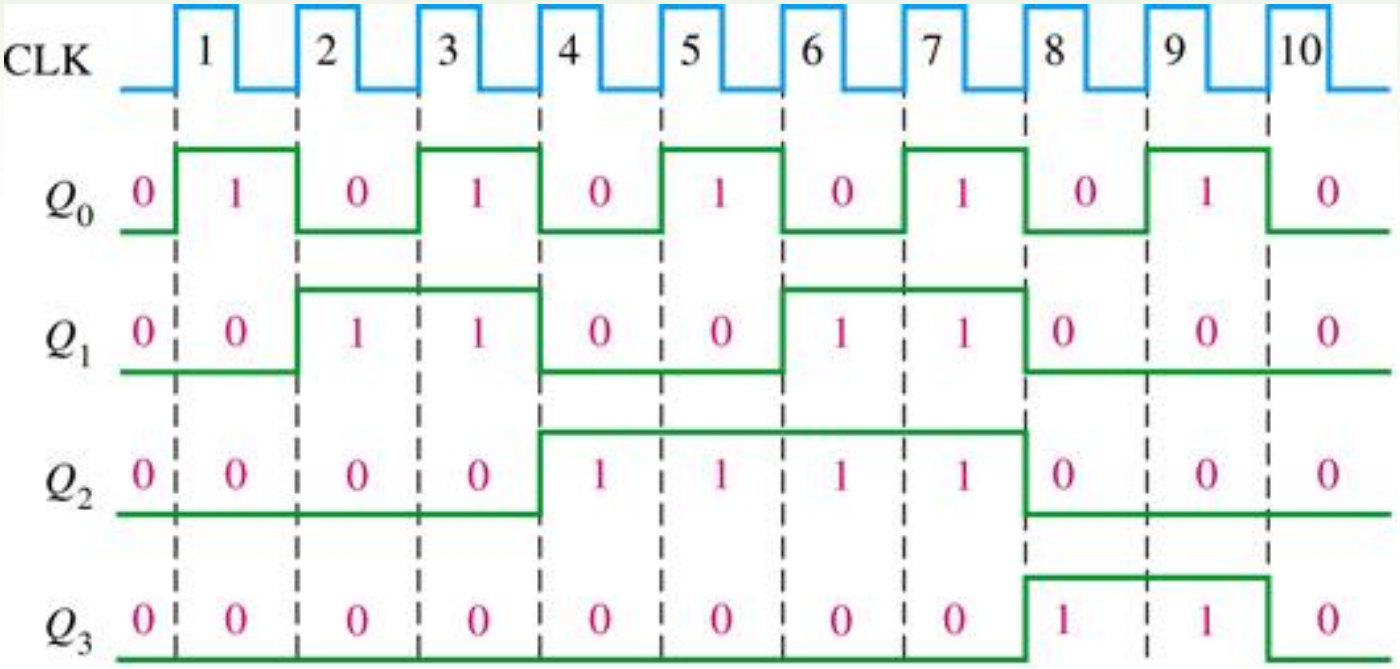


Figure 9-15 Timing diagram for the BCD decade counter (Q_0 is the LSB).

업/다운 동기식 카운터

* 0, 1, 2, 3, 4, 5, 4, 3, 2, 3, 4, 5, 6, 7, 6, 5, 4, 3, 2, 1, 0, 7, 6, 5..

Clock pulse	Up Q_2	Q_1	Q_0	Down
Initially		0	0	0
1		0	0	1
2		0	1	0
3		0	1	1
4		1	0	0
5		1	0	1
6		1	1	0
7		1	1	1

* Q_0 는 매 클럭 펄스마다 토글

* 업 시퀀스의 경우;
  Q_0 가 1일 때, 다음 클럭 펄스에서
  Q_1 의 상태가 바뀐다.
* 다운 시퀀스의 경우;
  Q_0 가 0일 때, 다음 클럭 펄스에서
  Q_1 의 상태가 바뀐다.

=> $J_1 = K_1 =$

업/다운 동기식 카운터

* 업 시퀀스의 경우;
  $Q_0 = Q_1 = 1$일 때, 다음 클럭 펄스에서 Q_2 의 상태가 바뀐다.
* 다운 시퀀스의 경우;
  $Q_0 = Q_1 = 0$일 때, 다음 클럭 펄스에서 Q_2 의 상태가 바뀐다.

  => $J_2 = K_2 =$

업/다운 동기식 카운터

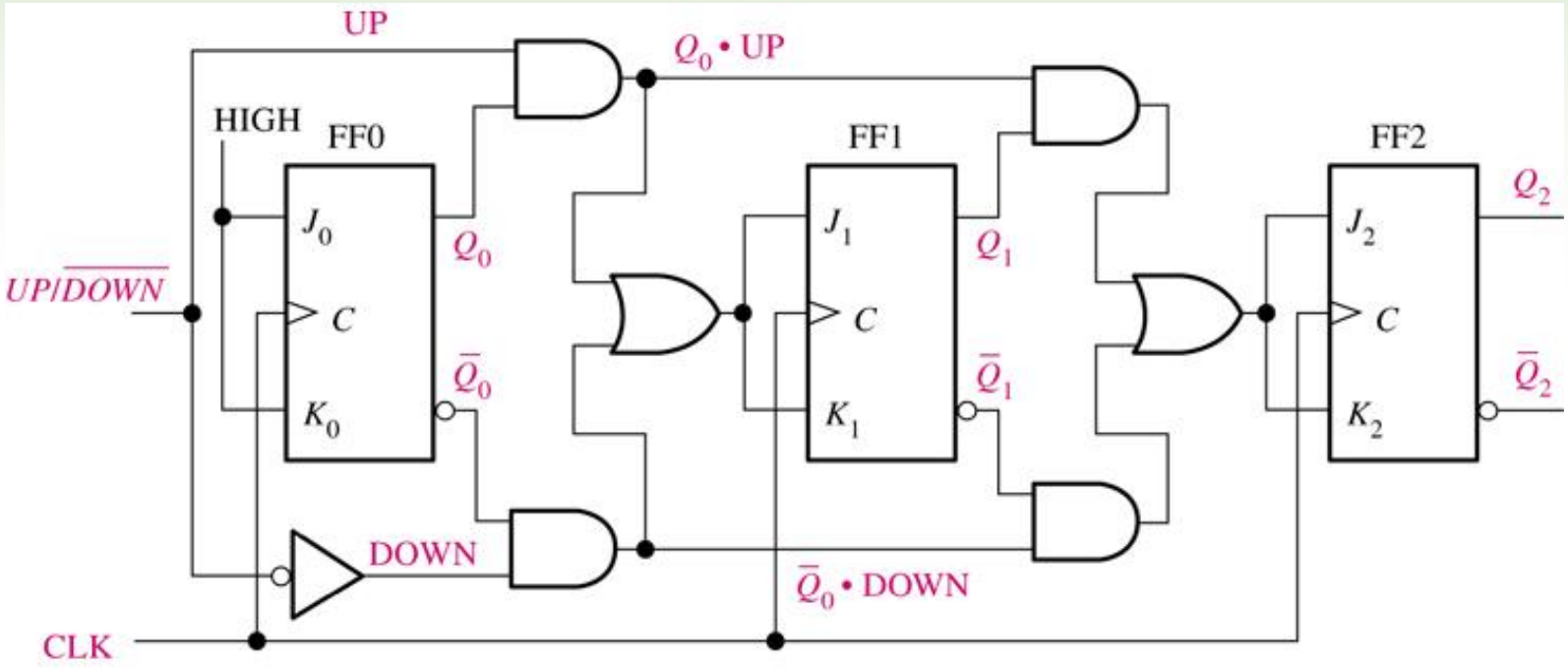
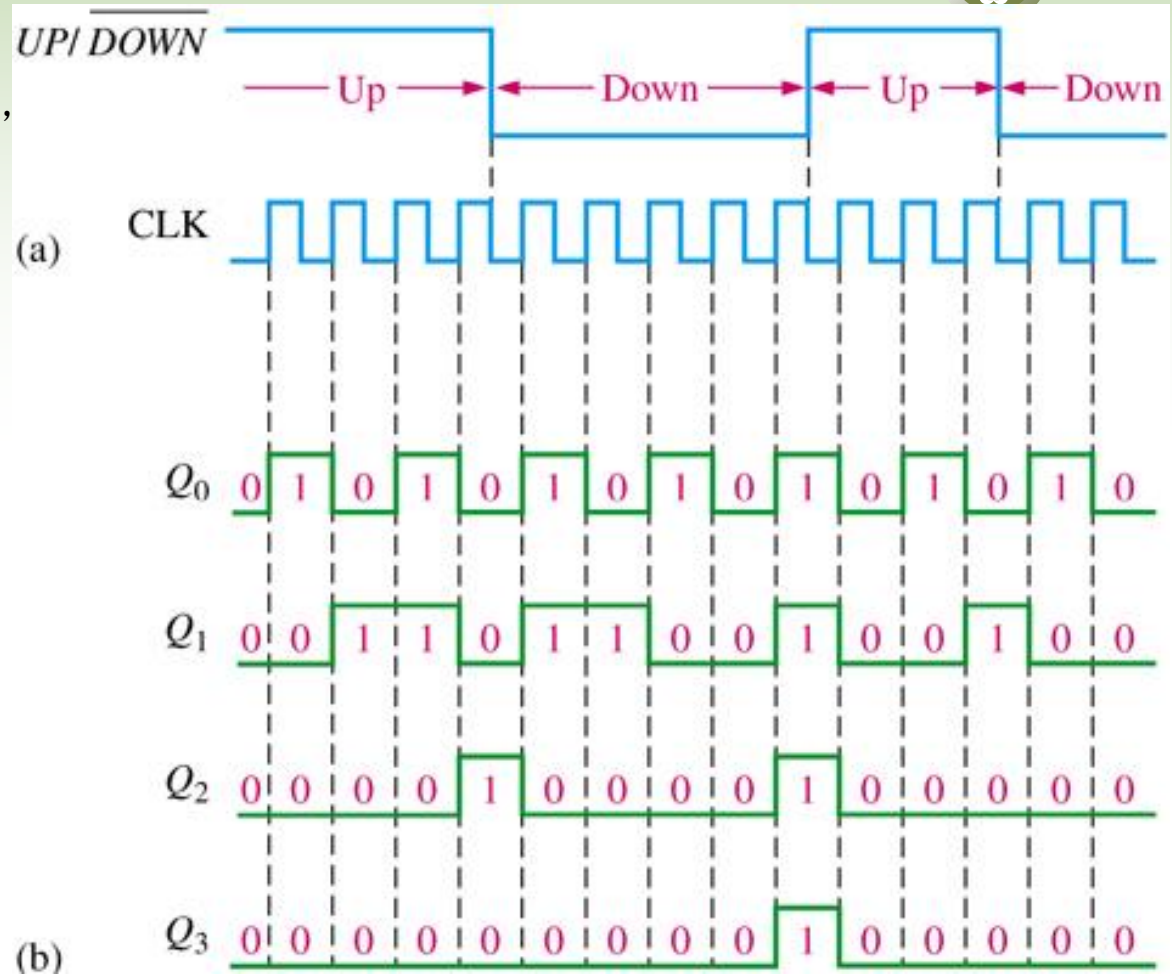


Figure 9-16 A basic 3-bit up/down synchronous counter.

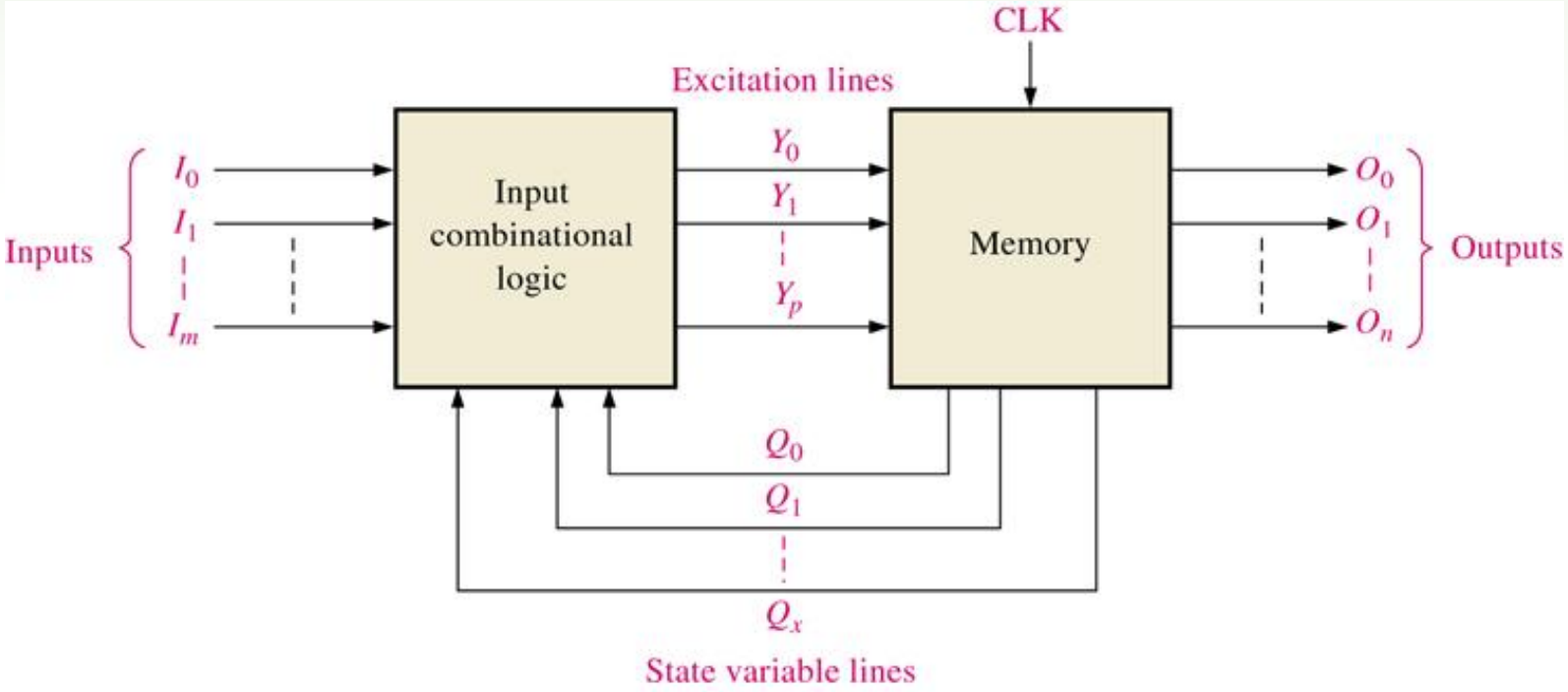
업/다운 동기식 카운터

* 예제 9-3) 4비트 동기식 2진 업/다운 카운터, 초기값은 0000, 상승 에지 트리거.



동기식 카운터의 설계

- 순차회로의 일반적 모델



동기식 카운터의 설계

- 제 1단계 : 상태도(State Diagram)

  * 카운터가 갖는 전체 상태

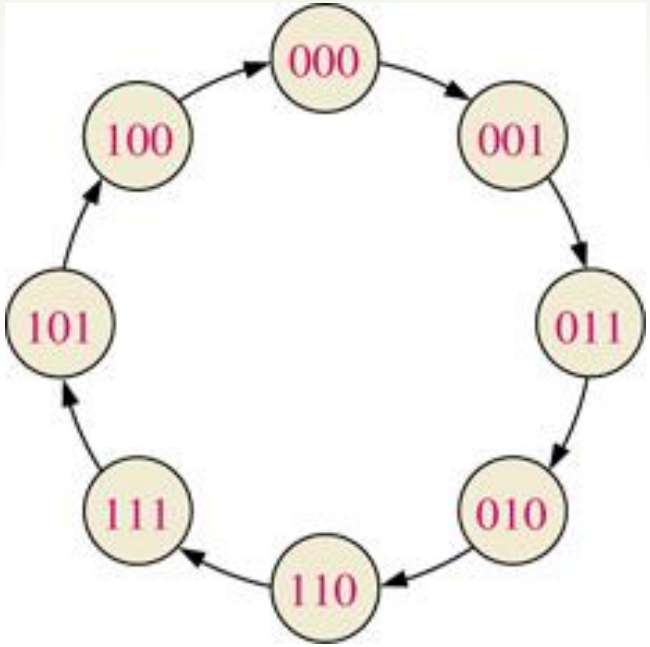


Figure 9-19 State diagram for a 3-bit Gray code counter.

동기식 카운터의 설계

- 제 2단계 : 다음-상태표(Next-state table)
- 제 3단계 : 플립-플롭의 천이표(Flip-flop transition table)

OUTPUT TRANSITIONS			FLIP-FLOP INPUTS	
Q_N		Q_{N+1}	J	K
0	⟶	0	0	X
0	⟶	1	1	X
1	⟶	0	X	1
1	⟶	1	X	0

Q_N: present state

Q_{N+1}: next state

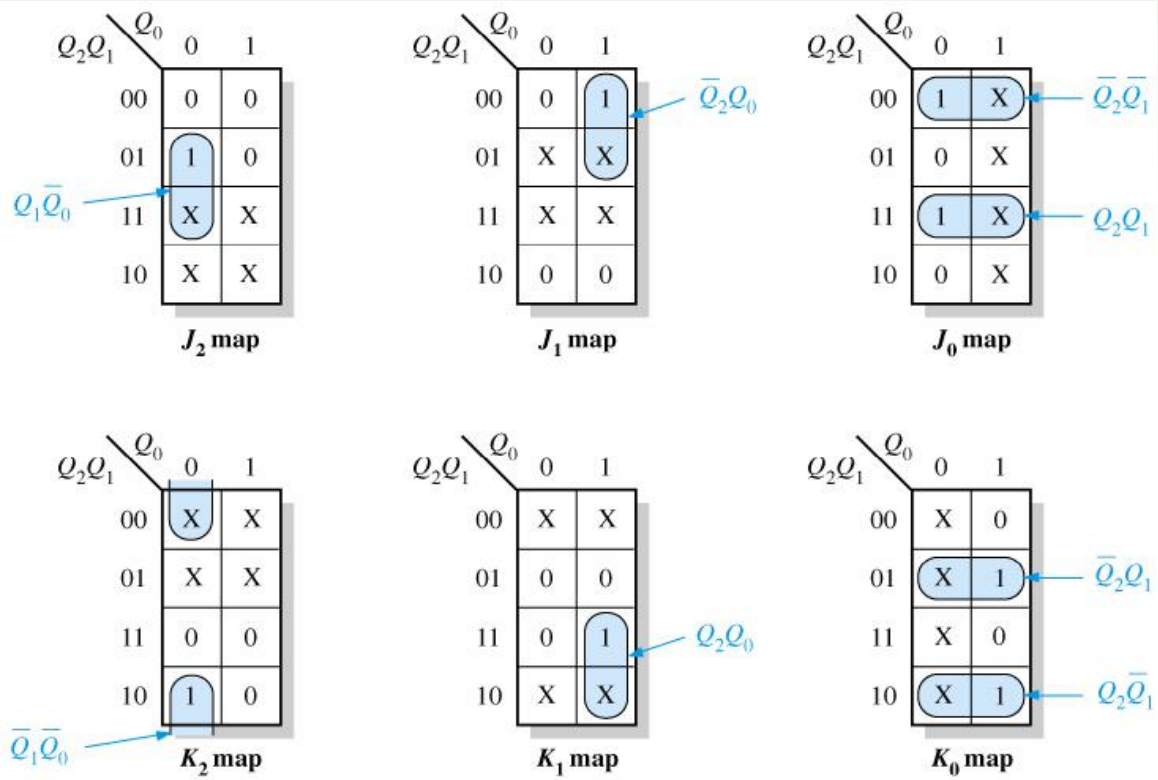
X: "don't care"

동기식 카운터의 설계

Present State Q_2 Q_1 Q_0	Next State Q_2 Q_1 Q_0	Flip-flop inputs J_2 K_2 J_1 K_1 J_0 K_0
0 0 0	0 0 1	0 X 0 X 1 X
0 0 1	0 1 1	0 X 1 X X 0
0 1 1	0 1 0	0 X X 0 X 1
0 1 0	1 1 0	1 X X 0 0 X
1 1 0	1 1 1	X 0 X 0 1 X
1 1 1	1 0 1	X 0 X 1 X 0
1 0 1	1 0 0	X 0 0 X X 1
1 0 0	0 0 0	X 1 0 X 0 X

동기식 카운터의 설계

- 제 4단계 : 카르노 맵(Karnaugh maps)
- 제 5단계 : 플립-플롭 입력에 대한 논리식



J_0 =

K_0 =

J_1 =

K_1 =

J_2 =

K_2 =

동기식 카운터의 설계

- 제 6단계 : 카운터의 구현

$J_0 = Q_2Q_1+Q_2'Q_1'=(Q_2 \oplus Q_1)'$

$K_0 = Q_2Q_1'+Q_2'Q_1=Q_2 \oplus Q_1$

$J_1 = Q_2'Q_0$

$K_1 = Q_2Q_0$

$J_2 = Q_1Q_0'$

$K_2 = Q_1'Q_0'$

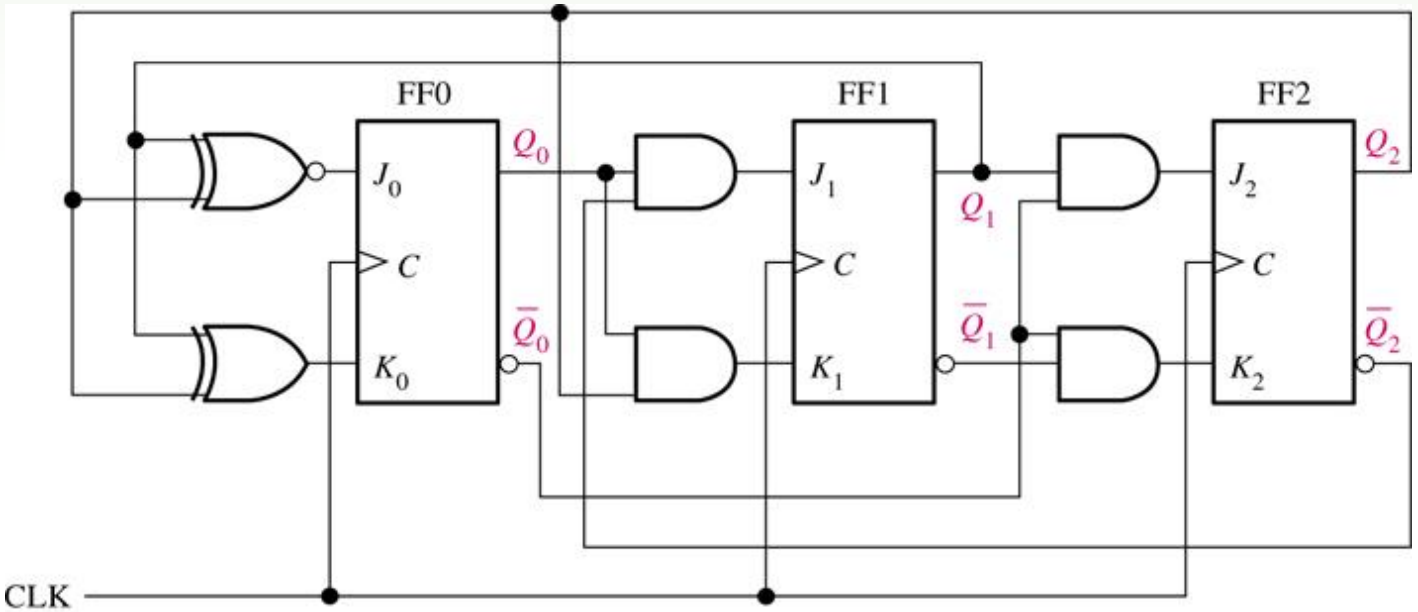
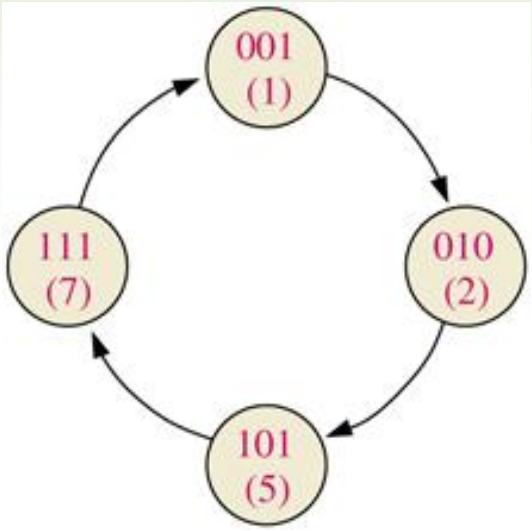


Figure 9-22 Three-bit Gray code counter.

동기식 카운터의 설계

* 예제 9-4) J-K 플립-플롭으로 다음의 카운터 구현.

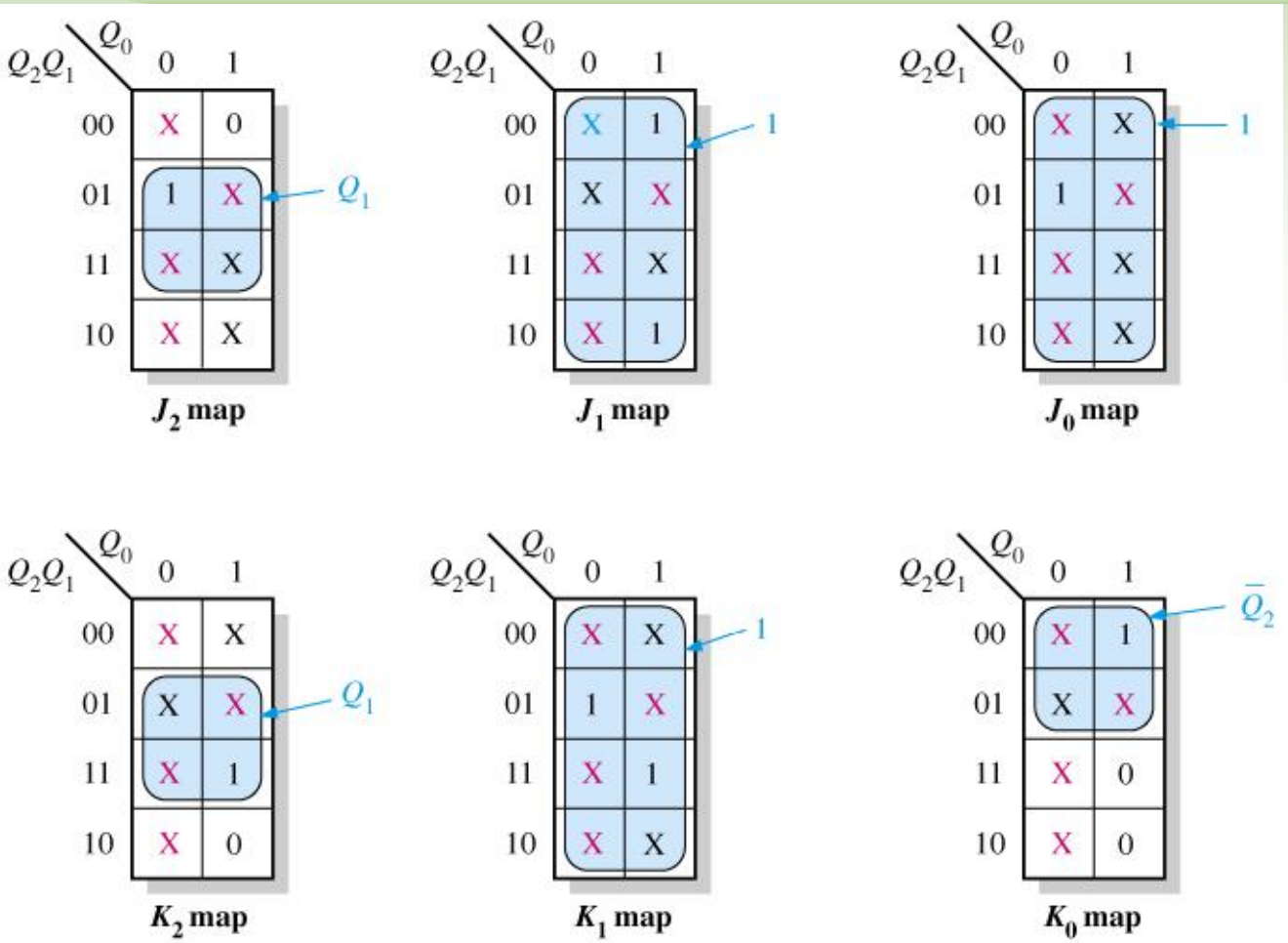


⇒ 4개의 상태가 있지만, 7까지 표현하기 위해
3-비트의 카운터 필요.

동기식 카운터의 설계

Present State Q_2 Q_1 Q_0	Next State Q_2 Q_1 Q_0	Flip-flop inputs J_2 K_2 J_1 K_1 J_0 K_0
0 0 0		X X X X X X
0 0 1	0 1 0	0 X 1 X X 1
0 1 0	1 0 1	1 X X 1 1 X
0 1 1		X X X X X X
1 0 0		X X X X X X
1 0 1	1 1 1	X 0 1 X X 0
1 1 0		X X X X X X
1 1 1	0 0 1	X 1 X 1 X 0

동기식 카운터의 설계



J_0 =

K_0 =

J_1 =

K_1 =

J_2 =

K_2 =

동기식 카운터의 설계

$J_0 = 1$

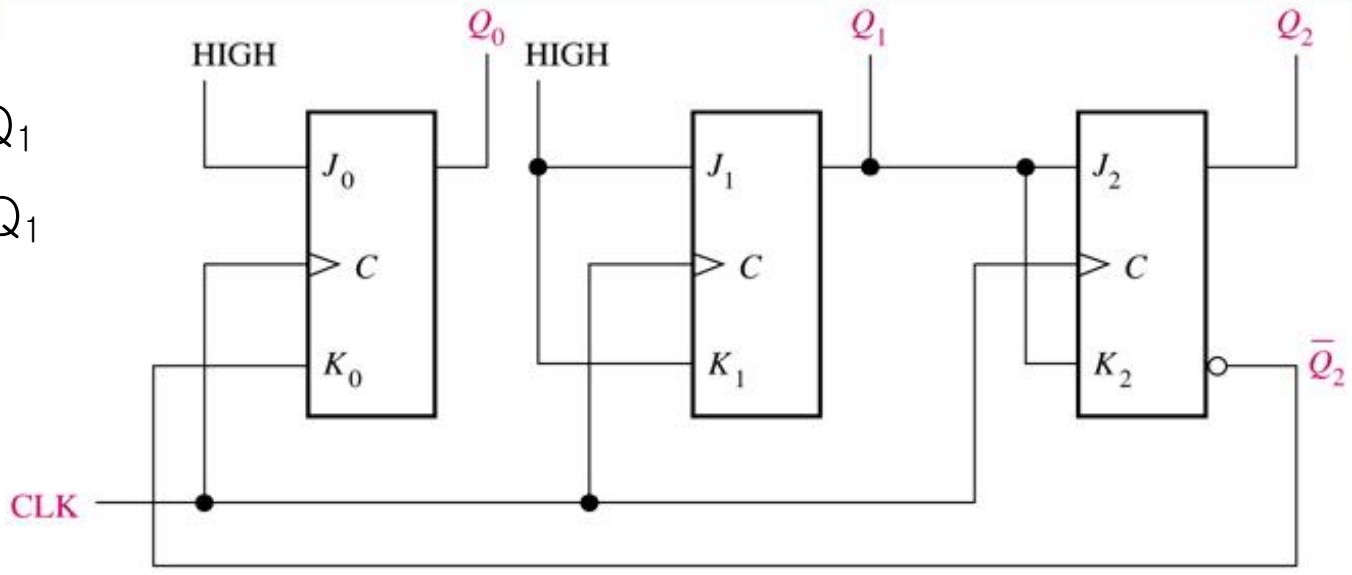
$K_0 = Q_2'$

$J_1 = 1$

$K_1 = 1$

$J_2 = Q_1$

$K_2 = Q_1$



케스케이드 카운터

* 한 개 카운터의 마지막 단 출력이 다음 단 카운터의 입력을 구동.
* 모-모듈러스 카운터 구성이 가능

* 모듈러스 32 카운터 : 4 X 8

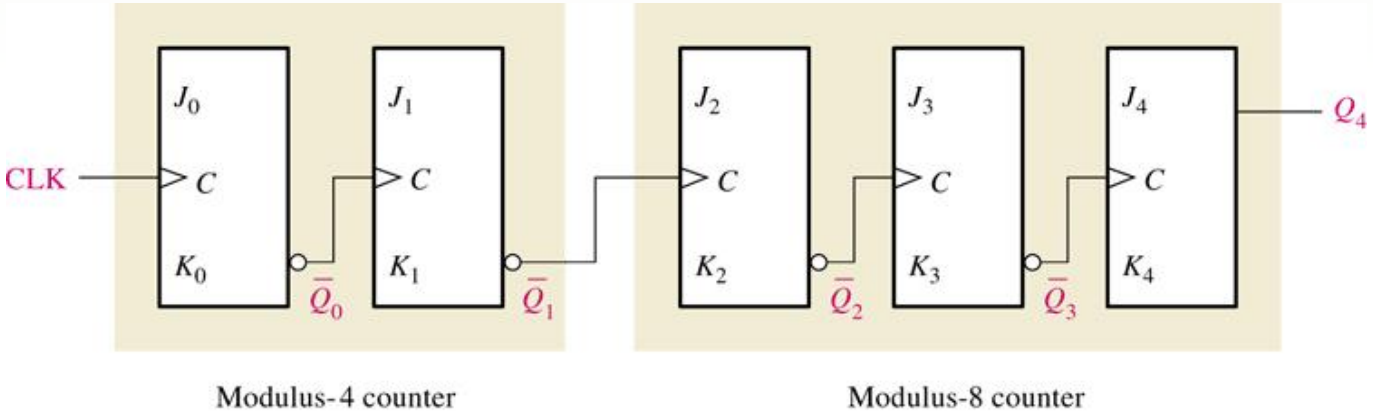


Figure 9–29 Two cascaded counters (all *J* and *K* inputs are HIGH).

케스케이드 카운터

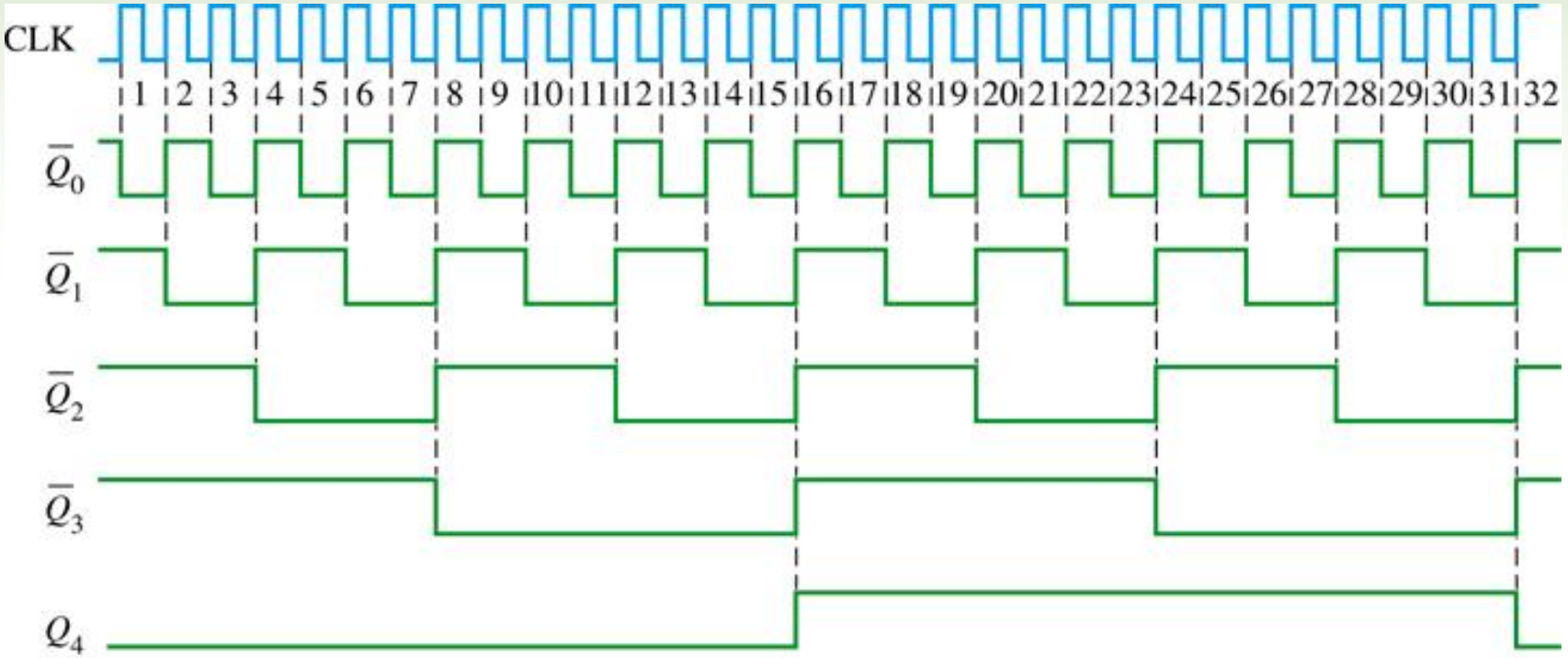


Figure 9-30 Timing diagram for the cascaded counter configuration of Figure 9-29

케스케이드 카운터

* 동기식 카운터의 케스케이드 연결 ;
  Count enable(CTEN), Terminal count(TC, RCO) 기능 사용

* 카운터1이 마지막 상태에 도달할 때, TC=1이 되어 카운터 2가 동작 개시.

* 카운터1이 두번째 사이클을 마치면, 카운터 2가 다시 동작하여 다음 상태로 천이.

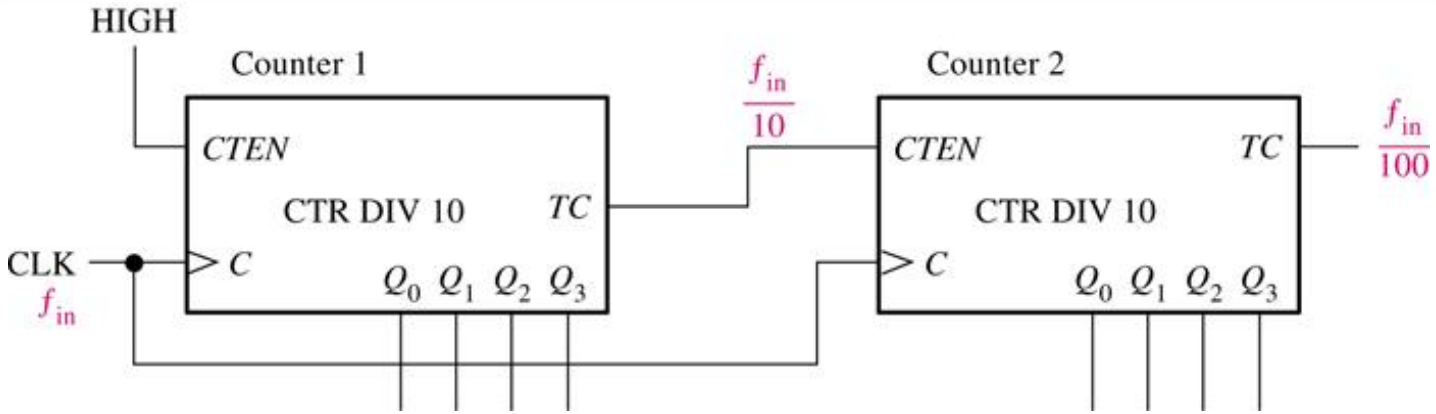
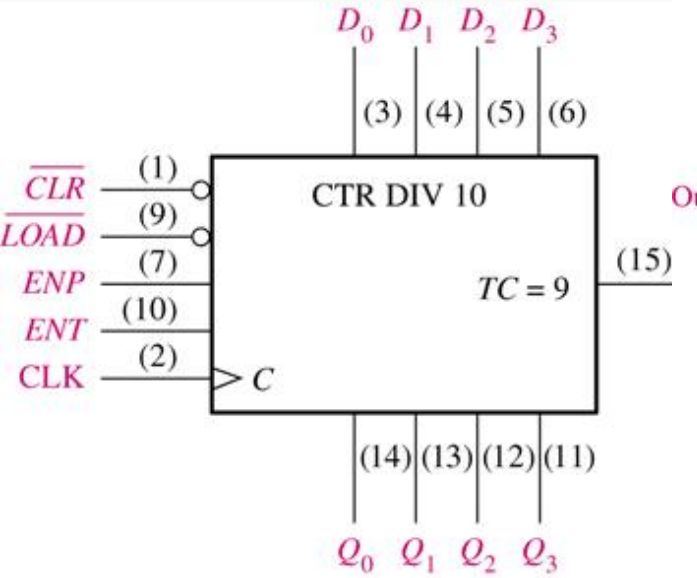


Figure 9-30 A modulus-100 counter using two cascaded decade conters represented in block diagram form.

케스



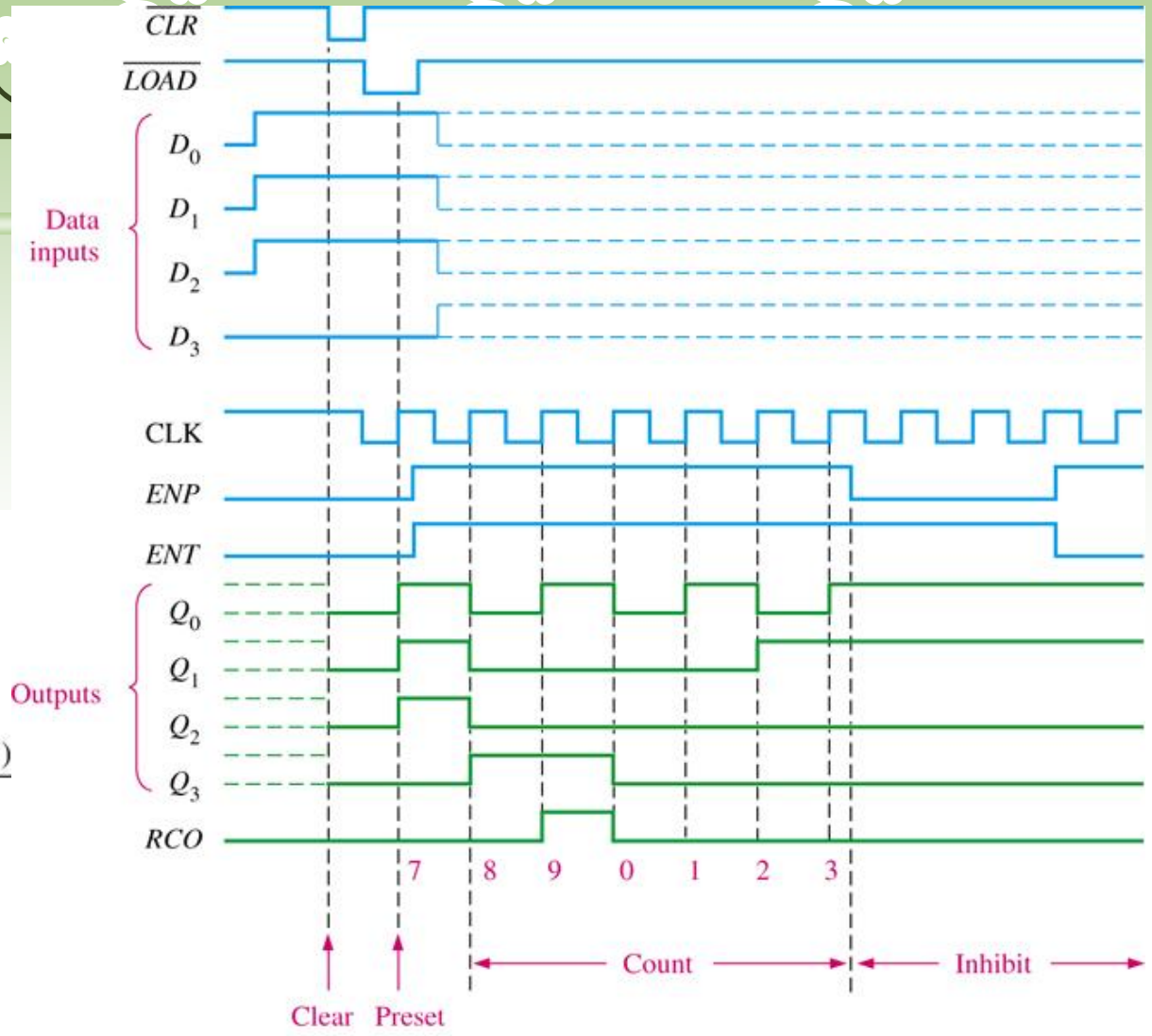
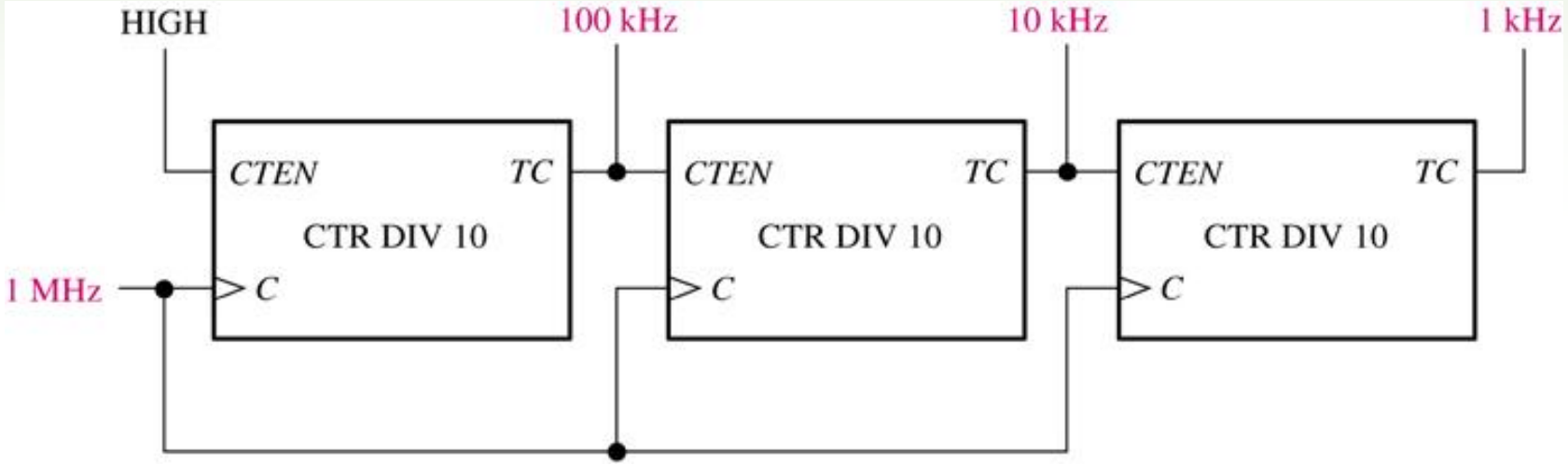


Figure A--25 Timing example for a 74xx160.

케스케이드 카운터

* 주파수 분주기로서의 케스케이드 카운터(countdown chains)



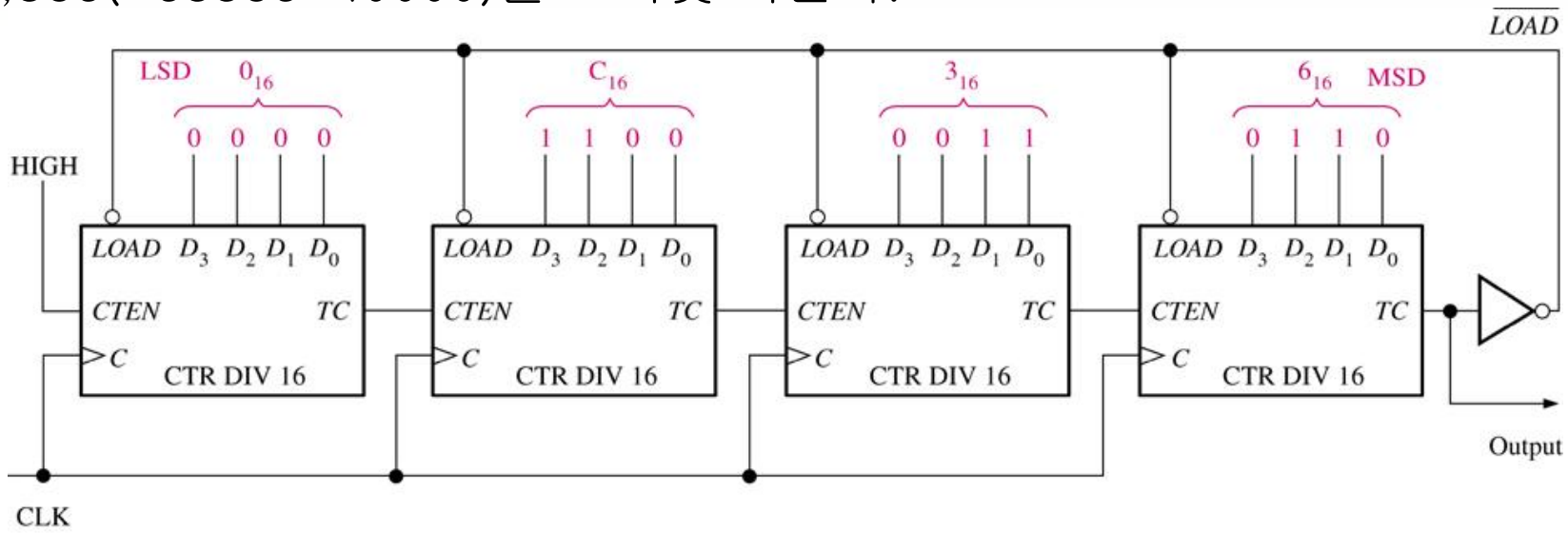
케스케이드 카운터

* Truncated 시퀀스를 갖는 캐스케이드 카운터

  => 각 사이클의 초기 상태에 카운터에 특정값을 로딩시켜 임의의 모듈러스를 갖는 카운터를 구현할 수 있다.

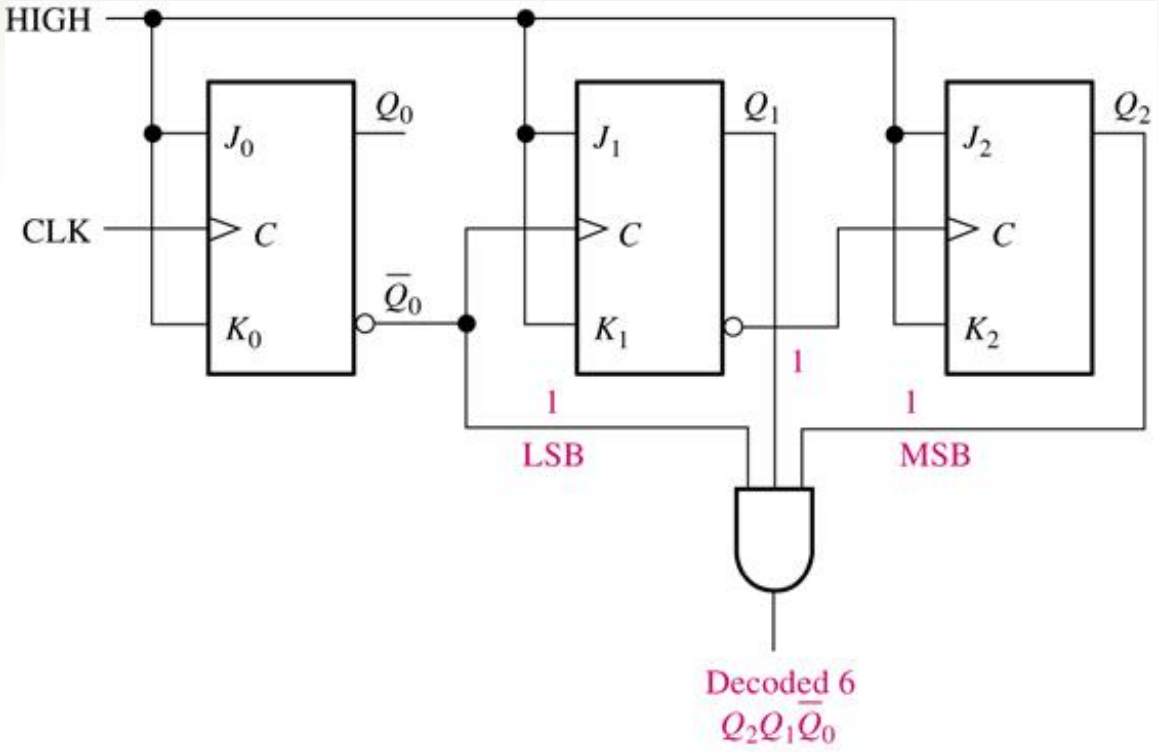
* 전체 모듈러스 : 2^{16} = 65,536

* 1/40,000분주 카운터(모듈러스 40,000)를 구현하기 위하여, 25,536(=65536-40000)을 프리셋 시킨다.



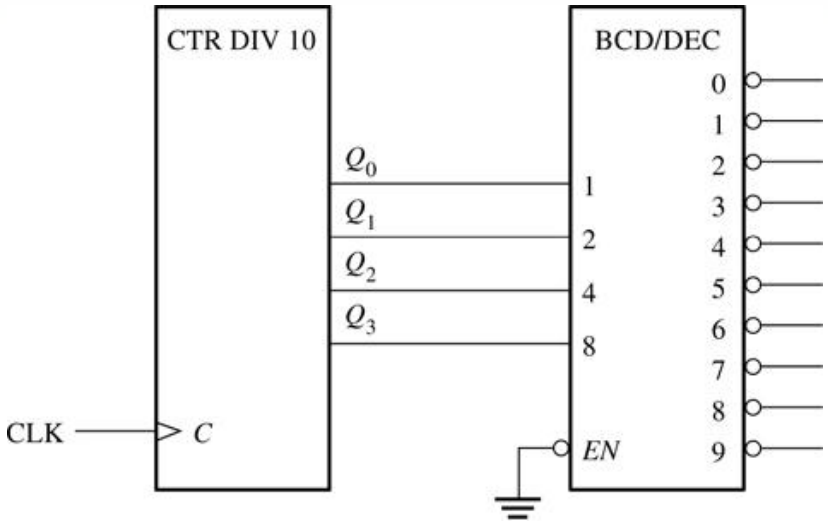
카운터의 디코딩

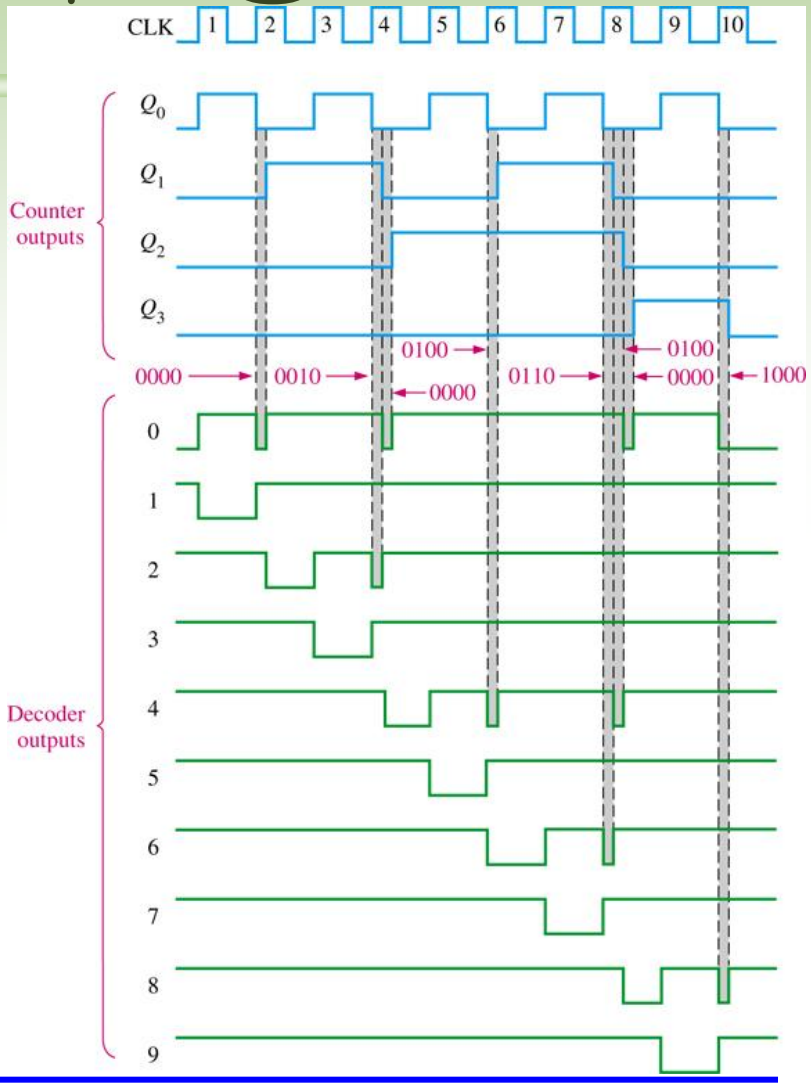
* 3-비트 2진 카운터에서 2진 상태 6(110)을 디코딩하는 경우 ;
  => 6에 도달할 때, 출력이 high 즉, 액티브-하이 디코딩.



카운터의 디코딩

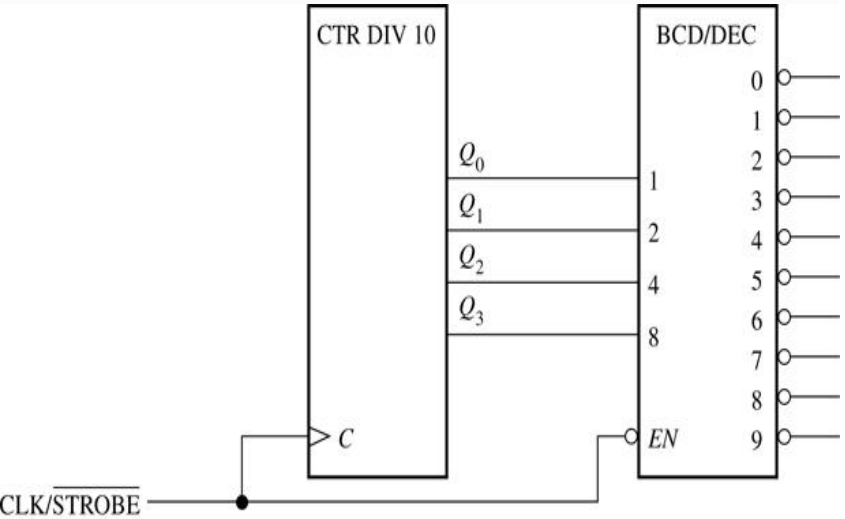
* 디코딩 글리치(Decoding glitches)
* 글리치(불필요한 짧은 전압 스파이크)로 인해 짧은 순간의 거짓 상태가 발생한다.

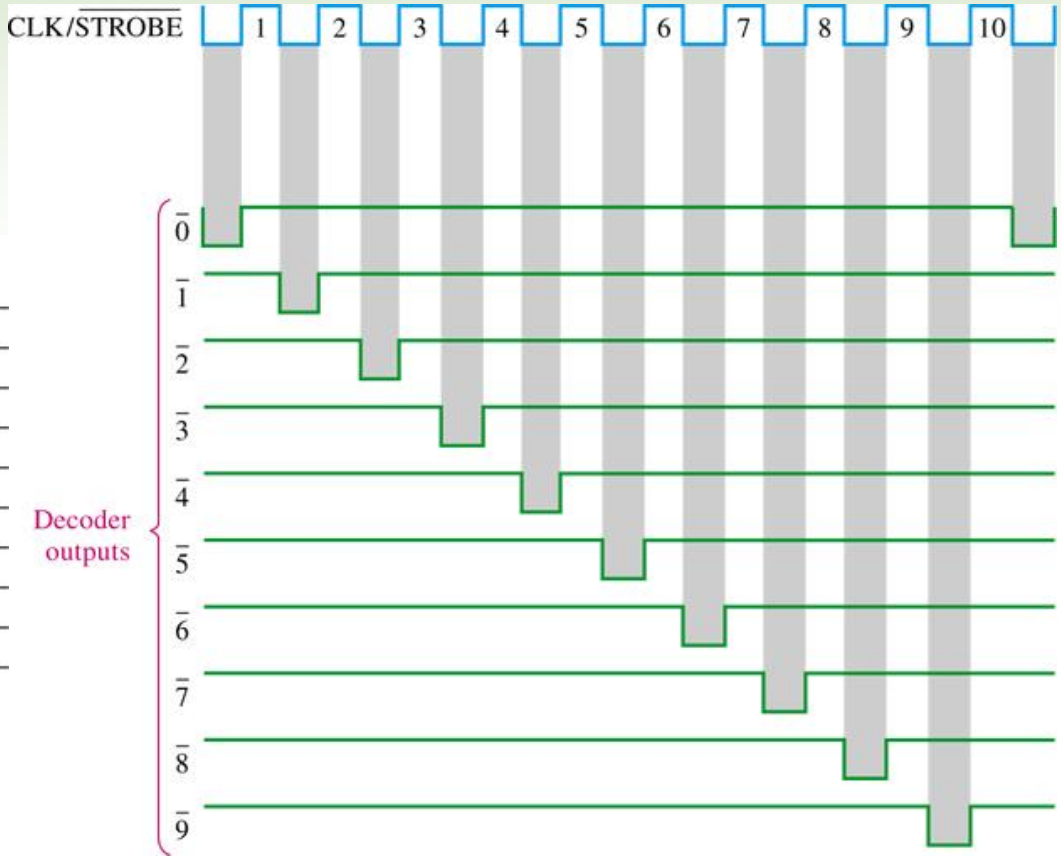




카운터의 디코딩

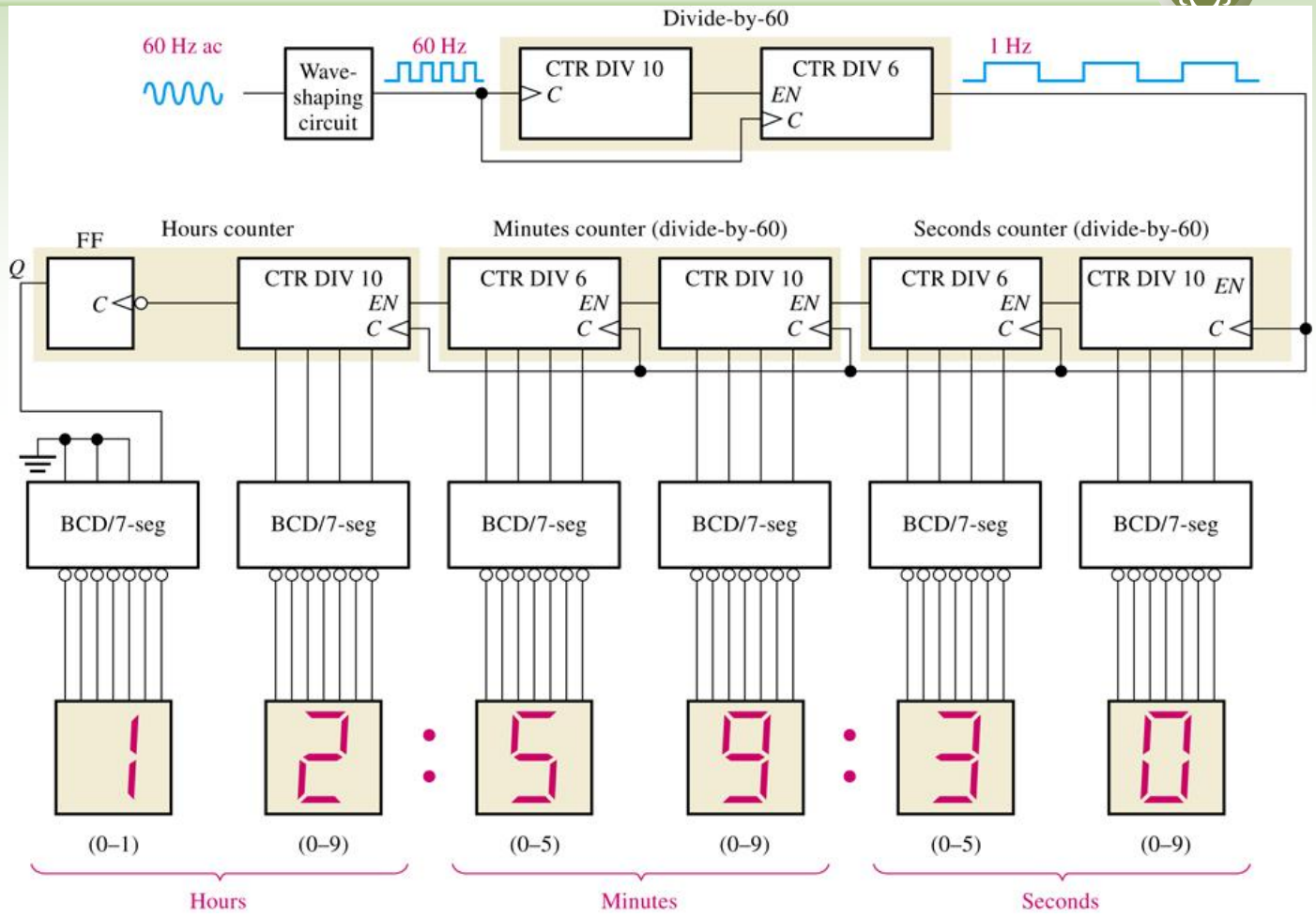
* Strobing을 사용한 글리치 제거 ; 글리치가 없어진 후 디코드된 출력이 사용되도록 한다.





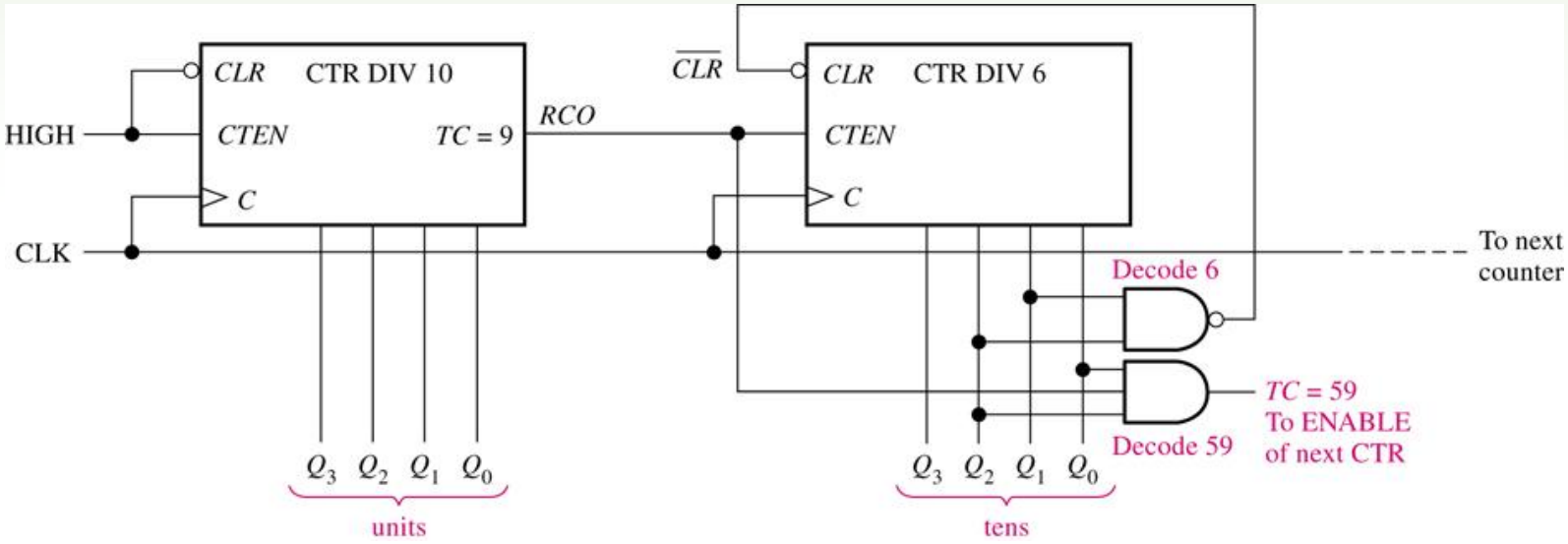
카운터의 응용

* 디지털 클럭



카운터의 응용

* 1/60 분주 카운터의 논리도



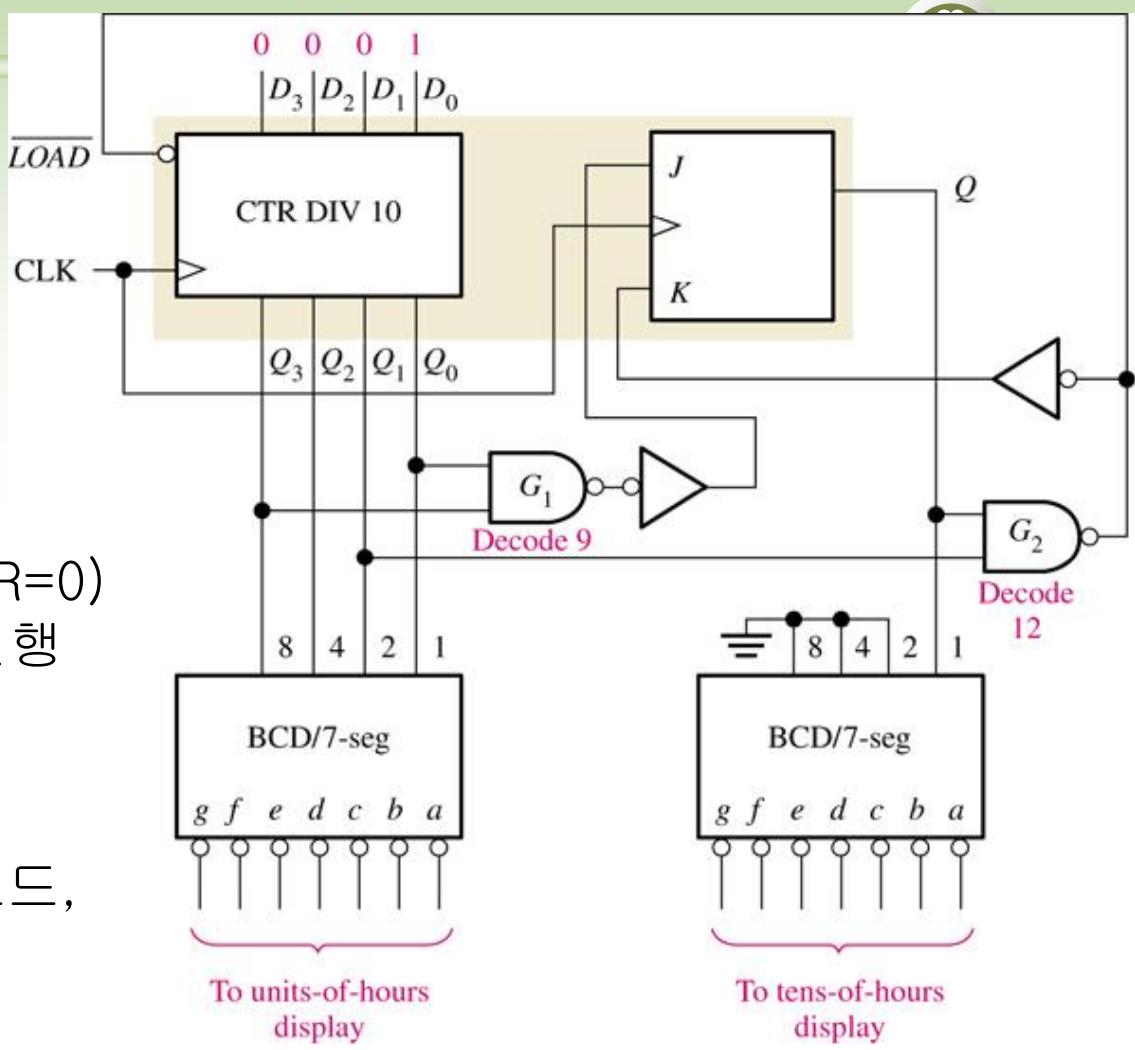
카운터의 응용

* 시를 나타내는 카운터 및 디코더의 논리도

* 초기에 카운터, FF은 리셋, 디코딩 게이트는 모두 HIGH라 가정

* 9일 때, J=1, K=0
=> 다음 펄스에서 10(FF=1, CTR=0)
=> 다음 펄스들에서 11, 12로 진행

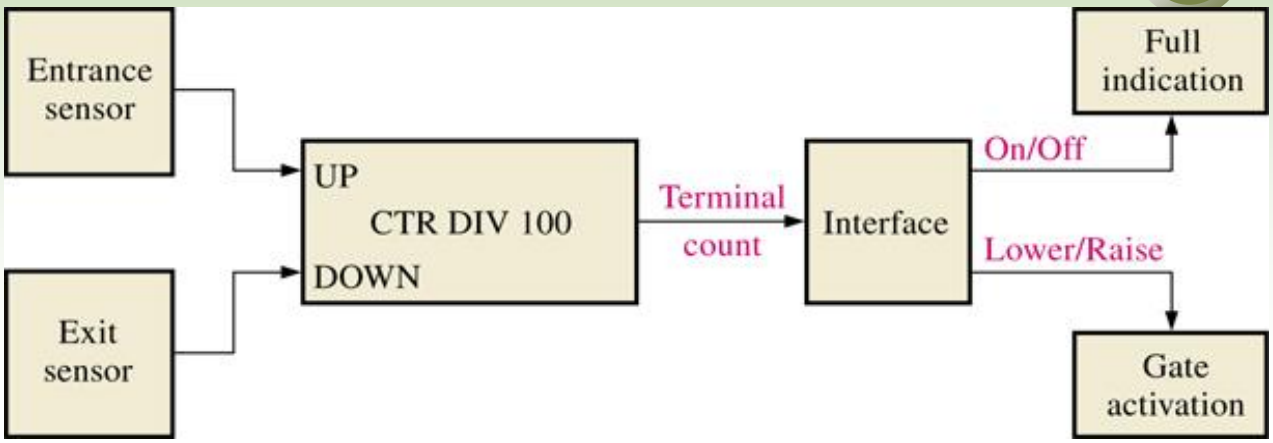
* 12일 때, Q=1(FF), Q_1=1
=> 12 Decoder 출력이 0
=> 다음 클럭에서 카운터에 1 로드, FF은 (J=0, K=1)은 리셋.
즉, 12시 다음에 1시로 천이됨.

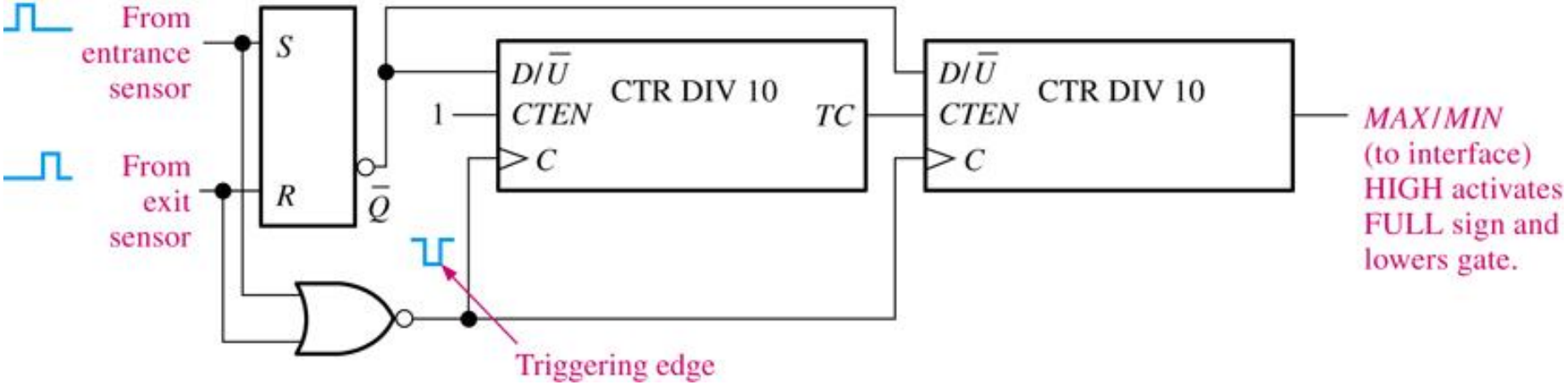


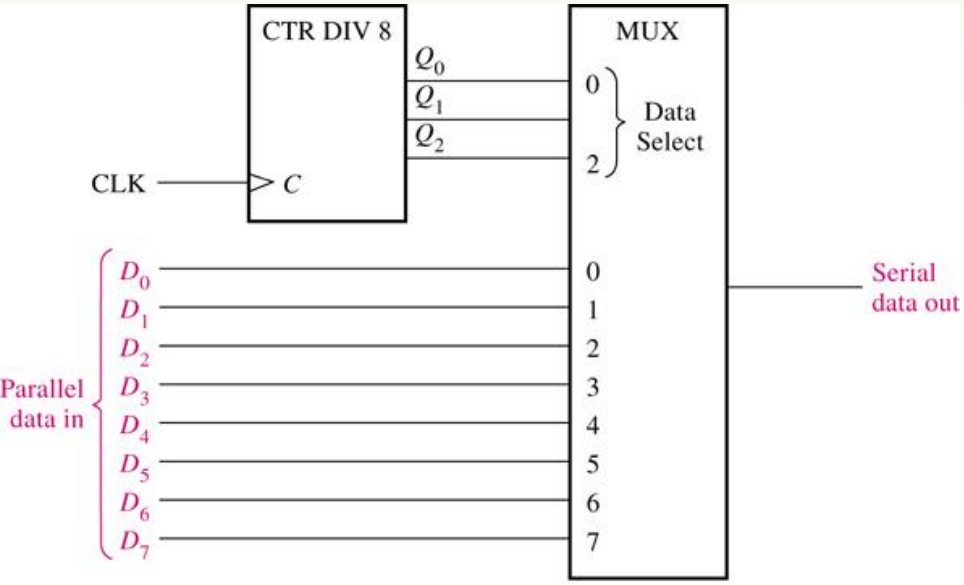
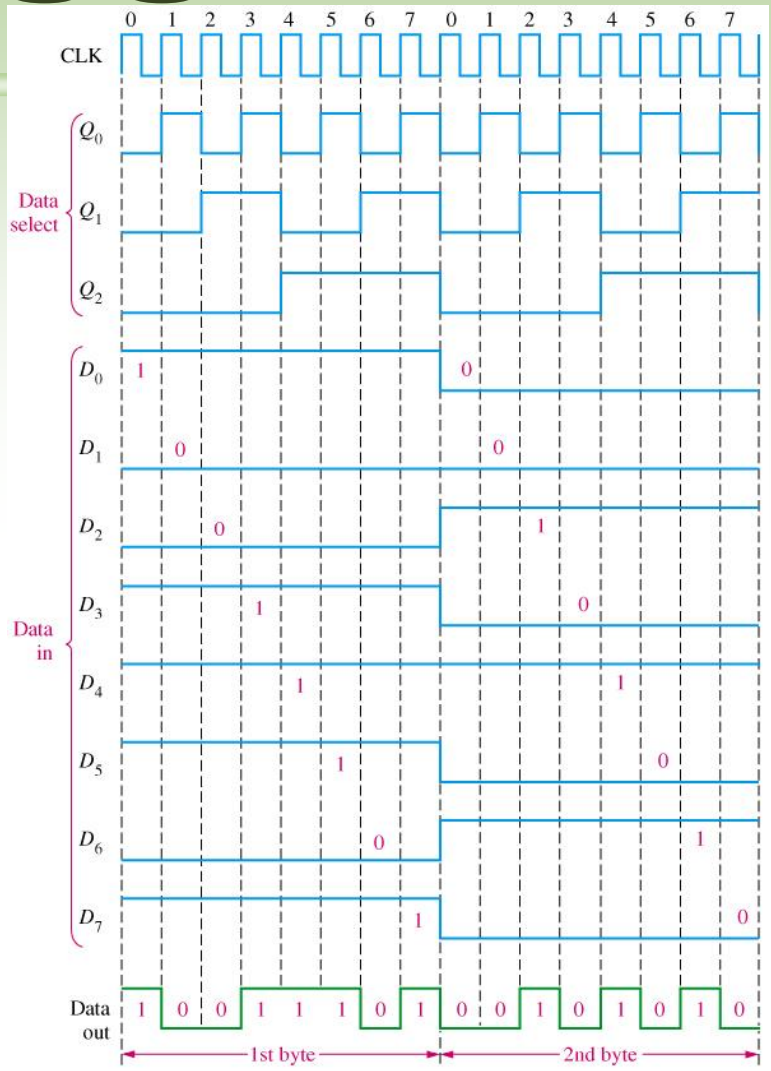
카운터의 응용

*** 자동차 주차 제어**

* 100대 까지 주차가 가능한 주차장





카운터의 응용

* 병렬-직렬 데이터 변환(멀티플렉싱)